

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-259123

(43)Date of publication of application : 22.09.2000

(51)Int.Cl. G09G 3/288
G09G 3/20

(21)Application number : 11-368607

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.12.1999

(72)Inventor : WAKABAYASHI SHUNICHI
HASHIGUCHI JUNPEI
KIKO SHIGEO
SHOJI HIDEHIKO
OHIRA KAZUO

(30)Priority

Priority number : 11002053

Priority date : 07.01.1999

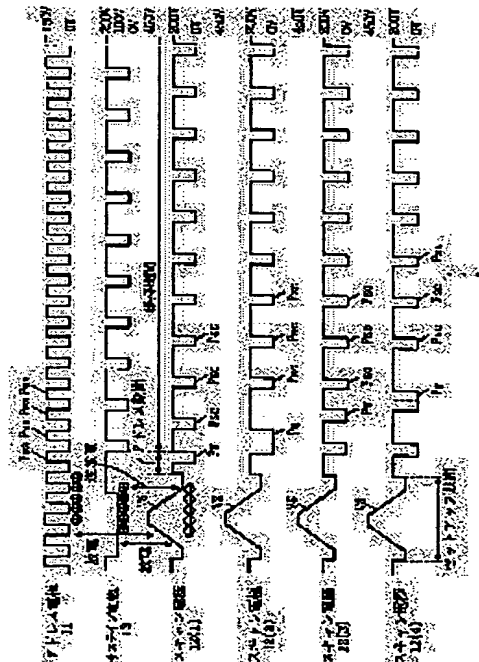
Priority country : JP

(54) DISPLAY DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a display device in which discharge is stabilized and power is saved and to obtain a driving method therefor.

SOLUTION: A setup period is provided prior to first subfields SF1 of respective fields. In the setup period, vertical synchronizing setup pulses VS are simultaneously applied to plural scanning electrodes 12. Discharge is generated between an address electrode 11 and the scanning electrode 12 by the rising of the vertical synchronizing setup pulse VS and positive wall charges are accumulated on the side of the address electrode 11. In an address period, a write pulse Pw and a write pulse Pwa are applied respectively to the scanning electrode 12 and the address electrode 11. Since the positive wall charges are accumulated on the electrode 11, an effective voltage to be applied between the electrode 11 and the electrode 12 becomes higher.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-259123

(P2000-259123A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.	識別記号	F I	テグド (参考)
G 0 9 G 3/288		G 0 9 G 3/28	B
3/20	6 1 1	3/20	6 1 1 A
	6 2 4		6 2 4 N
	6 4 1		6 4 1 E
	6 4 2		6 4 2 C
審査請求 未請求 請求項の数26 O L (全 32 頁)			

(21) 出願番号 特願平11-368607

(22) 出願日 平成11年12月27日 (1999. 12. 27)

(31) 優先権主張番号 特願平11-2053

(32) 優先日 平成11年1月7日 (1999. 1. 7)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 若林 俊一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 橋口 淳平

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100098305

弁理士 福島 祥人

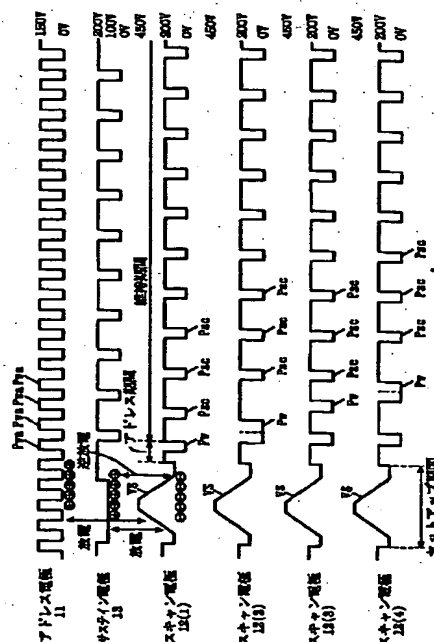
最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 放電の安定化および省電力化が図られた表示装置およびその駆動方法を提供することである。

【解決手段】 各フィールドの最初のサブフィールド S F 1 の前にセットアップ期間が設定される。セットアップ期間には、複数のスキャン電極 1 2 に垂直同期セットアップパルス V S が同時に印加される。垂直同期セットアップパルス V S の立ち上がりにより、アドレス電極 1 1 とスキャン電極 1 2 との間で放電が起こり、アドレス電極 1 1 側に正の壁電荷が蓄積される。アドレス期間には、スキャン電極 1 2 に書き込みパルス P w が印加され、アドレス電極 1 1 に書き込みパルス P w a が印加される。アドレス電極 1 1 側には正の壁電荷が蓄積されているので、アドレス電極 1 1 とスキャン電極 1 2 との間にかかる実効電圧が高くなる。



【特許請求の範囲】

【請求項1】 第1の方向に配列された複数の第1の電極と、
前記第1の方向と交差する第2の方向に配列された複数の第2の電極と、
前記複数の第1の電極と前記複数の第2の電極との交点に設けられた複数の放電セルと、
各フィールドを複数のサブフィールドに時間的に分割するサブフィールド分割手段と、
各サブフィールドのアドレス期間に、画像データに応じて前記第1の電極と前記第2の電極との間に第1の放電を起こさせるための第1の電圧を印加し、前記アドレス期間に先立つセットアップ期間に当該第1の電極と前記複数の第2の電極との間に前記第1の放電と逆極性の第2の放電を起こさせるための第2の電圧を印加する電圧印加手段とを備えたことを特徴とする表示装置。

【請求項2】 第1の方向に配列された複数の第1の電極と、
前記第1の方向と交差する第2の方向に配列された複数の第2の電極と、
前記複数の第1の電極と前記複数の第2の電極との交点に設けられた複数の放電セルと、
各第1の電極ごとに設定される各フィールドを複数のサブフィールドに時間的に分割するサブフィールド分割手段と、
各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、画像データに応じて当該第1の電極と該当する第2の電極との間に第1の放電を起こさせるための第1の電圧を印加し、各フィールドの最初のサブフィールド前または各フィールドの最後のサブフィールド後に垂直走査期間の整数倍の時間間隔で設定されたセットアップ期間に、当該第1の電極と前記複数の第2の電極との間に前記第1の放電と逆極性の第2の放電を起こさせるための第2の電圧を印加する電圧印加手段とを備えたことを特徴とする表示装置。

【請求項3】 前記電圧印加手段は、前記第1の放電後、当該第1の電極と前記該当する第2の電極との間に前記第1の放電と逆極性の第3の放電を起こさせるための第3の電圧を印加することを特徴とする請求項1または2記載の表示装置。

【請求項4】 前記複数の第1の電極とそれぞれ対になるように前記第1の方向に配列された複数の第3の電極をさらに備え、
前記電圧印加手段は、前記第3の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第4の放電を起こさせるための第4の電圧を印加することを特徴とする請求項3記載の表示装置。

【請求項5】 前記電圧印加手段は、各サブフィールドの発光期間の終了時に、当該第1の電極と前記該当する第2の電極との間に前記第1の放電と逆極性の第5の放

電を起こさせるための第5の電圧を印加することを特徴とする請求項1記載の表示装置。

【請求項6】 前記電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの発光期間の終了時に、当該第1の電極と前記該当する第2の電極との間に前記第1の放電と逆極性の第5の放電を起こさせるための第5の電圧を印加することを特徴とする請求項2記載の表示装置。

【請求項7】 前記複数の第1の電極とそれぞれ対になるように前記第1の方向に配列された複数の第3の電極をさらに備え、
前記電圧印加手段は、前記第1の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電を起こさせるための第6の電圧を印加することを特徴とする請求項5または6記載の表示装置。

【請求項8】 前記電圧印加手段は、前記第5の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に前記第6の放電と同じ極性の第7の放電を起こさせるための第7の電圧を印加し、前記第7の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に前記第7の放電と逆極性の第8の放電を起こさせるための第8の電圧を印加することを特徴とする請求項7記載の表示装置。

【請求項9】 前記電圧印加手段は、
前記複数の第1の電極に駆動電圧を印加する第1の電圧印加手段と、
前記複数の第2の電極に駆動電圧を印加する第2の電圧印加手段とを含み、
前記第1の電圧印加手段は、各サブフィールドのアドレス期間に、当該第1の電極に所定の極性の第1の書き込み用パルス電圧を印加し、前記セットアップ期間に、当該第1の電極に前記第1の書き込み用パルス電圧と逆極性でかつ前記第1の書き込み用パルス電圧よりも高いセットアップ用パルス電圧を印加し、
前記第2の電圧印加手段は、各サブフィールドのアドレス期間に、当該第1の電極に印加される前記第1の書き込み用パルス電圧に同期して前記第1の書き込み用パルス電圧と逆極性の第2の書き込み用パルス電圧を画像データに応じて該当する第2の電極に印加することを特徴とする請求項1記載の表示装置。

【請求項10】 前記電圧印加手段は、
前記複数の第1の電極に駆動電圧を印加する第1の電圧印加手段と、
前記複数の第2の電極に駆動電圧を印加する第2の電圧印加手段とを含み、
前記第1の電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、当該第1の電極に所定の極性の第1の書き込み用パルス電圧を印加し、前記セットアップ期間に、当該第1の電極に前記第1の書き込み用パルス電圧と逆極性でかつ前記第

1の書き込み用パルス電圧よりも高いセットアップ用パルス電圧を印加し、

前記第2の電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、当該第1の電極に印加される前記第1の書き込み用パルス電圧に同期して前記第1の書き込み用パルス電圧と逆極性の第2の書き込み用パルス電圧を画像データに応じて該当する第2の電極に印加することを特徴とする請求項2記載の表示装置。

【請求項11】 前記複数の第1の電極とそれぞれ対になるように前記第1の方向に配列された複数の第3の電極をさらに備え、

前記電圧印加手段は、前記複数の第3の電極に駆動電圧を印加する第3の電圧印加手段をさらに含み、

前記第3の電圧印加手段は、前記第1の書き込み用パルス電圧の終了時に前記第1の書き込み用パルス電圧と同じ極性の発光維持用パルス電圧を当該第1の電極に対応する第3の電極に印加することを特徴とする請求項9または10記載の表示装置。

【請求項12】 前記第1の電圧印加手段は、各サブフィールドの発光期間の終了時に、当該第1の電極に前記第1の書き込み用パルス電圧と逆極性の第1の消去用パルス電圧を印加することを特徴とする請求項9記載の表示装置。

【請求項13】 前記第1の電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの発光期間の終了時に、当該第1の電極に前記第1の書き込み用パルス電圧と逆極性の第1の消去用パルス電圧を印加することを特徴とする請求項10記載の表示装置。

【請求項14】 前記複数の第1の電極とそれぞれ対になるように前記第1の方向に配列された複数の第3の電極をさらに備え、

前記電圧印加手段は、前記複数の第3の電極に駆動電圧を印加する第3の電圧印加手段をさらに含み、

前記第3の電圧印加手段は、前記第1の書き込み用パルス電圧の終了時に前記第1の書き込み用パルス電圧と同じ極性の発光維持用パルス電圧を当該第1の電極に対応する第3の電極に印加し、当該第1の電極に印加される前記第1の消去用パルス電圧に同期して第2の消去用パルス電圧を当該第1の電極に対応する第3の電極に印加することを特徴とする請求項12または13記載の表示装置。

【請求項15】 前記電圧印加手段は、前記複数の第1の電極に同時に前記第2の電圧を印加することを特徴とする請求項1～14のいずれかに記載の表示装置。

【請求項16】 前記複数の第1の電極は、それぞれ所定数の第1の電極を含む複数のグループに区分され、前記電圧印加手段は、各グループに属する前記所定数の第1の電極に同時に前記第2の電圧を印加することを特徴とする請求項1～14のいずれかに記載の表示装置。

【請求項17】 第1の方向に配列された複数の第1の電極と、前記第1の方向と交差する第2の方向に配列された複数の第2の電極と、前記複数の第1の電極と前記複数の第2の電極との交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、

各フィールドを複数のサブフィールドに時間的に分割し、各サブフィールドのアドレス期間に、画像データに応じて前記第1の電極と前記第2の電極との間に第1の放電を起こさせるための第1の電圧を印加し、前記アドレス期間に先立つセットアップ期間に当該第1の電極と前記複数の第2の電極との間に前記第1の放電と逆極性の第2の放電を起こさせるための第2の電圧を印加することを特徴とする表示装置の駆動方法。

【請求項18】 第1の方向に配列された複数の第1の電極と、前記第1の方向と交差する第2の方向に配列された複数の第2の電極と、前記複数の第1の電極と前記複数の第2の電極との交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、

各第1の電極ごとに設定される各フィールドを複数のサブフィールドに時間的に分割し、各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、画像データに応じて当該第1の電極と該当する第2の電極との間に第1の放電を起こさせるための第1の電圧を印加し、各フィールドの最初のサブフィールド前または各サブフィールドの最後のサブフィールド後に垂直走査期間の整数倍の時間間隔で設定されたセットアップ期間に、当該第1の電極と前記複数の第2の電極との間に前記第1の放電と逆極性の第2の放電を起こさせるための第2の電圧を印加することを特徴とする表示装置の駆動方法。

【請求項19】 前記第1の放電後、当該第1の電極と前記該当する第2の電極との間に前記第1の放電と逆極性の第3の放電を起こさせるための第3の電圧を印加することを特徴とする請求項17または18記載の表示装置の駆動方法。

【請求項20】 前記表示装置は、前記複数の第1の電極とそれぞれ対になるように前記第1の方向に配列された複数の第3の電極をさらに備え、

前記第3の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第4の放電を起こさせるための第4の電圧を印加することを特徴とする請求項19記載の表示装置の駆動方法。

【請求項21】 各サブフィールドの発光期間の終了時に、当該第1の電極と前記該当する第2の電極との間に前記第1の放電と逆極性の第5の放電を起こさせるための第5の電圧を印加することを特徴とする請求項17記載の表示装置の駆動方法。

【請求項22】 各第1の電極ごとに設定される各サブフィールドの発光期間の終了時に、当該第1の電極と前記該当する第2の電極との間に前記第1の放電と逆極性

の第5の放電を起こさせるための第5の電圧を印加することを特徴とする請求項18記載の表示装置の駆動方法。

【請求項23】 前記表示装置は、前記複数の第1の電極とそれぞれ対になるように前記第1の方向に配列された複数の第3の電極をさらに備え、前記第1の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電を起こさせるための第6の電圧を印加することを特徴とする請求項21または22記載の表示装置の駆動方法。

【請求項24】 前記第5の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に前記第6の放電と同じ極性の第7の放電を起こさせるための第7の電圧を印加し、前記第7の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に前記第7の放電と逆極性の第8の放電を起こさせるための第8の電圧を印加することを特徴とする請求項23記載の表示装置の駆動方法。

【請求項25】 前記複数の第1の電極に同時に前記第2の電圧を印加することを特徴とする請求項17～24のいずれかに記載の表示装置の駆動方法。

【請求項26】 前記複数の第1の電極は、それぞれ所定数の第1の電極を含む複数のグループに区分され、各グループに属する前記所定数の第1の電極に同時に前記第2の電圧を印加することを特徴とする請求項17～24のいずれかに記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、放電を制御することにより画像を表示する表示装置およびその駆動方法に関する。

【0002】

【従来の技術】 PDP（プラズマディスプレイパネル）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有する。このプラズマディスプレイ装置では、ガス放電の際の発光を利用することにより画像を表示している。

【0003】 図25はAC型PDPにおける放電セルの駆動方法を説明するための図である。図25に示すように、AC型PDPの放電セルにおいては、対向する電極301、302の表面がそれぞれ誘電体層303、304で覆われている。

【0004】 図25（a）に示すように、電極301、302間に放電開始電圧よりも低い電圧を印加した場合には、放電が起こらない。図25（b）に示すように、電極301、302間に放電開始電圧よりも高いパルス状の電圧（書き込みパルス）を印加すると、放電が発生する。放電が発生すると、負電荷は電極301の方向に進んで誘電体層303の壁面に蓄積され、正電荷は電極302の方向に進んで誘電体層304の壁面に蓄積され

る。誘電体層303、304の壁面に蓄積された電荷を壁電荷と呼ぶ。また、この壁電荷により誘起された電圧を壁電圧と呼ぶ。

【0005】 図25（c）に示すように、誘電体層303の壁面には負の壁電荷が蓄積され、誘電体層304の壁面には正の壁電荷が蓄積される。この場合、壁電圧の極性は、外部印加電圧の極性と逆向きであるため、放電の進行に従って放電空間内における実効電圧が低下し、放電は自動的に停止する。

【0006】 図25（d）に示すように、外部印加電圧の極性を反転させると、壁電圧の極性が外部印加電圧の極性と同じ向きになるため、放電空間内における実効電圧が高くなる。このときの実効電圧が放電開始電圧を超えると、逆極性の放電が発生する。それにより、正電荷が電極301の方向に進み、すでに誘電体層303に蓄積されている負の壁電荷を中和し、負電荷が電極302の方向に進み、すでに誘電体層304に蓄積されている正の壁電荷を中和する。

【0007】 そして、図25（e）に示すように、誘電体層303、304の壁面にそれぞれ正および負の壁電荷が蓄積される。この場合、壁電圧の極性が外部印加電圧の極性と逆向きであるため、放電の進行に従って放電空間内における実効電圧が低下し、放電が停止する。

【0008】 さらに、図25（f）に示すように、外部印加電圧の極性を反転させると、逆極性の放電が発生し、負電荷は電極301の方向に進み、正電荷は電極302の方向に進み、図25（c）の状態に戻る。

【0009】 このように、放電開始電圧よりも高い書き込みパルスを印加することにより一旦放電が開始された後は、壁電荷の働きにより放電開始電圧よりも低い外部印加電圧（維持パルス）の極性を反転させることにより放電を持続させることができる。書き込みパルスを印加することにより放電を開始させることをアドレス放電と呼び、交互に反転する維持パルスを印加することにより放電を持続させることを維持放電と呼ぶ。

【0010】 図25（g）に示すように、電極301、302間に壁電圧と逆極性の消去パルスを印加することにより誘電体層303、304の壁面に蓄積された壁電荷を消滅させて放電を終了させることができる。この消去パルスのパルス幅は、残留壁電荷を打ち消すことができかつ新たに逆極性の壁電荷を蓄積することができないように狭く設定される。一旦壁電荷が消滅すると、図25（h）に示すように、次の維持パルスを印加しても放電は発生しない。

【0011】 図26は従来のプラズマディスプレイ装置の主としてPDP（プラズマディスプレイパネル）の構成を示す模式図である。

【0012】 図26に示すように、PDP1は、複数のアドレス電極11、複数のスキャン電極（走査電極）12および複数のサステイン電極（維持電極）13を含

む。複数のアドレス電極11は画面の垂直方向に配列され、複数のスキャン電極12および複数のサステイン電極13は画面の水平方向に配列されている。複数のサステイン電極13は共通に接続されている。

【0013】アドレス電極11、スキャン電極12およびサステイン電極13の各交点に放電セルが形成されている。各放電セルが画面上の画素を構成する。

【0014】アドレスドライバ2は、画像データに応じて複数のアドレス電極11を駆動する。スキャンドライバ3は、複数のスキャン電極12を順に駆動する。サステインドライバ4は、複数のサステイン電極13を共通に駆動する。

【0015】図27はAC型PDPにおける3電極面放電セルの模式的断面図である。図27に示す放電セル100においては、表面ガラス基板101上に対になるスキャン電極12およびサステイン電極13が水平方向に形成され、それらのスキャン電極12およびサステイン電極13は透明誘電体層102および保護層103で覆われている。一方、表面ガラス基板101に対向する裏面ガラス基板104上にはアドレス電極11が垂直方向に形成され、アドレス電極11上には透明誘電体層105が形成されている。透明誘電体層105上には蛍光体106が塗布されている。

【0016】この放電セル100では、アドレス電極11とスキャン電極12との間に書き込みパルス印加することによりアドレス電極11とスキャン電極12との間でアドレス放電が発生した後、スキャン電極12とサステイン電極13との間に交互に反転する周期的な維持パルスを印加することによりスキャン電極12とサステイン電極13との間で維持放電が行われる。

【0017】AC型PDPにおける階調表示駆動方式としては、ADS (Address and Display period Separate ; アドレス・表示期間分離) 方式が用いられている。図28はADS方式を説明するための図である。図28の縦軸は第1ラインから第mラインまでのスキャン電極の走査方向 (垂直走査方向) を示し、横軸は時間を示す。

【0018】ADS方式では、1フィールド (1/60 秒=16.67ms) を複数のサブフィールドに時間的に分割する。例えば、8ビットで256階調表示を行なう場合には、1フィールドを8つのサブフィールドに分割する。また、各サブフィールドは、点灯セル選択のためのアドレス放電が行なわれるアドレス期間と、表示のための維持放電が行なわれる維持期間 (発光期間) とに分離される。

【0019】図28の例では、1フィールドが4つのサブフィールドSF1, SF2, SF3, SF4に時間的に分割されている。サブフィールドSF1はアドレス期間AD1と維持期間SUS1とに分離され、サブフィールドSF2はアドレス期間AD2と維持期間SUS2と

に分離され、サブフィールドSF3はアドレス期間AD3と維持期間SUS3とに分離され、サブフィールドSF4はアドレス期間AD4と維持期間SUS4とに分離されている。

【0020】ADS方式では、各サブフィールドで第1ラインから第mラインまでPDPの全面にアドレス放電による走査が行なわれ、全面のアドレス放電の終了時に維持放電が行われる。すなわち、維持期間はアドレス期間を除く期間に設定される。そのため、1フィールド中に占める維持期間の割合は30%程度と小さくなり、高輝度化に限界がある。

【0021】そこで、PDPの高輝度化を図るために、アドレス・サステイン同時駆動方式 (信学技報: TECHNICAL REPORT OF IEICE, EID96-71, ED96-149, SD96-175 (1997-01), PP.19-24) が提案されている。図29はアドレス・サステイン同時駆動方式を説明するための図である。図29の縦軸は第1ラインから第mラインまでのスキャン電極の走査方向 (垂直走査方向) を示し、横軸は時間を示す。

【0022】アドレス・サステイン同時駆動方式では、各ラインごとにアドレス放電に続いて維持放電が開始される。図29の例では、1フィールドが4つのサブフィールドSF1, SF2, SF3, SF4に時間的に分割され、各サブフィールドSF1~SF4がそれぞれアドレス期間AD1~AD4と維持期間SUS1~SUS4とを含む。

【0023】各サブフィールドSF1~SF4において、各ラインごとにアドレス期間AD1~AD4に続いて維持期間SUS1~SUS4が設定されている。そのため、1フィールドのほぼすべてが維持期間となり、高輝度化が可能となる。

【0024】図30は従来のアドレス・サステイン同時駆動方式による各電極の駆動電圧を示すタイミングチャートである。図30では、サステイン電極13、第nライン~第(n+3)ラインのスキャン電極12およびアドレス電極11の駆動電圧が示されている。ここで、nは任意の整数である。

【0025】図30において、サステイン電極13には、一定周期でサステインパルス P_{su} が印加される。アドレス期間には、スキャン電極12に書き込みパルス P_w が印加される。この書き込みパルス P_w に同期してアドレス電極11に書き込みパルス P_{wa} が印加される。アドレス電極11に印加される書き込みパルス P_{wa} のオンオフは、表示する画像の各画素に応じて制御される。書き込みパルス P_w と書き込みパルス P_{wa} とが同時に印加されると、スキャン電極12とアドレス電極11との交点の放電セルでアドレス放電が発生し、その放電セルが点灯する。

【0026】アドレス期間後の維持期間には、スキャン電極12に一定周期で維持パルス P_{sc} が印加される。

スキャン電極 12 に印加される維持パルス P_{sc} の位相はサステイン電極 13 に印加されるサステインパルス P_{su} の位相に対して 180 度ずれている。この場合、アドレス放電で点灯した放電セルにおいてのみ維持放電が発生する。

【0027】各サブフィールドの終了時には、スキャン電極 12 に消去パルス P_e が印加される。それにより、各放電セルの壁電荷が消滅し、維持放電が終了する。消去パルス P_e の印加後、次のサブフィールドの開始前までの間にスキャン電極 12 に一定周期で休止パルス P_r が印加される。消去パルス P_e の印加から次のサブフィールドの開始までの期間を休止期間と呼ぶ。

【0028】

【発明が解決しようとする課題】上記の従来のアドレス・サステイン同時駆動方式では、図 30 に示したように、アドレス期間に表示する画像の各画素に応じてアドレス電極 11 に書き込みパルス P_{wa} が印加される。この書き込みパルス P_{wa} の電圧振幅は、放電セルに壁電荷が蓄積されるように大きな値に設定する必要がある。それにより、アドレス電極 11 での充放電電流が大きくなり、消費電力が大きくなる。

【0029】また、消費電力を小さくするために書き込みパルス P_{wa} の電圧振幅を下げると、書き込みパルス P_{wa} が印加されることによる壁電荷の形成が不十分となる。その結果、アドレス放電が不安定になるとともに、放電セルの特性のばらつきによって点灯しない放電セルが生じる場合がある。

【0030】本発明の目的は、放電の安定化および省電力化が図られた表示装置およびその駆動方法を提供することである。

【0031】

【課題を解決するための手段】(1) 第 1 の発明

第 1 の発明に係る表示装置は、第 1 の方向に配列された複数の第 1 の電極と、第 1 の方向と交差する第 2 の方向に配列された複数の第 2 の電極と、複数の第 1 の電極と複数の第 2 の電極との交点に設けられた複数の放電セルと、各フィールドを複数のサブフィールドに時間的に分割するサブフィールド分割手段と、各サブフィールドのアドレス期間に、画像データに応じて第 1 の電極と第 2 の電極との間に第 1 の放電を起こさせるための第 1 の電圧を印加し、アドレス期間に先立つセットアップ期間に当該第 1 の電極と複数の第 2 の電極との間に第 1 の放電と逆極性の第 2 の放電を起こさせるための第 2 の電圧を印加する電圧印加手段とを備えたものである。

【0032】本発明に係る表示装置においては、各フィールドが複数のサブフィールドに時間的に分割され、各サブフィールドのアドレス期間に、画像データに応じて第 1 の電極と第 2 の電極との間に第 1 の放電を起こさせるための第 1 の電圧が印加される。それにより、当該第 1 の電極と該当する第 2 の電極との間に第 1 の放電が起

こり、第 1 の電極側に第 1 の極性の壁電荷が蓄積され、第 2 の電極側に第 2 の極性の壁電荷が蓄積される。

【0033】また、アドレス期間に先立つセットアップ期間に当該第 1 の電極と複数の第 2 の電極との間に第 1 の放電と逆極性の第 2 の放電を起こさせるための第 2 の電圧が印加される。それにより、当該第 1 の電極と複数の第 2 の電極との間に第 1 の放電と逆極性の第 2 の放電が起こり、第 1 の電極側に第 2 の極性の壁電荷が蓄積され、第 2 の電極側に第 1 の極性の壁電荷が蓄積される。

【0034】このように、セットアップ期間に複数の第 2 の電極側に第 1 の極性の壁電荷が蓄積されるので、アドレス期間に第 1 の電極と第 2 の電極との間に印加される実効電圧が高くなる。それにより、放電開始電圧に対する実効電圧のマージンが高くなる。その結果、アドレス放電の安定化が図られるとともに、放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、第 2 の電極の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0035】(2) 第 2 の発明

第 2 の発明に係る表示装置は、第 1 の方向に配列された複数の第 1 の電極と、第 1 の方向と交差する第 2 の方向に配列された複数の第 2 の電極と、複数の第 1 の電極と複数の第 2 の電極との交点に設けられた複数の放電セルと、各第 1 の電極ごとに設定される各フィールドを複数のサブフィールドに時間的に分割するサブフィールド分割手段と、各第 1 の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、画像データに応じて当該第 1 の電極と該当する第 2 の電極との間に第 1 の放電を起こさせるための第 1 の電圧を印加し、各フィールドの最初のサブフィールド前または各フィールドの最後のサブフィールド後に垂直走査期間の整数倍の時間間隔で設定されたセットアップ期間に、当該第 1 の電極と複数の第 2 の電極との間に第 1 の放電と逆極性の第 2 の放電を起こさせるための第 2 の電圧を印加する電圧印加手段とを備えたものである。

【0036】本発明に係る表示装置においては、各第 1 の電極ごとに設定される各フィールドが複数のサブフィールドに時間的に分割される。各第 1 の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、画像データに応じて当該第 1 の電極と該当する第 2 の電極との間に第 1 の放電を起こさせるための第 1 の電圧が印加される。それにより、当該第 1 の電極と該当する第 2 の電極との間に第 1 の放電が起こり、第 1 の電極側に第 1 の極性の壁電荷が蓄積され、第 2 の電極側に第 2 の極性の壁電荷が蓄積される。

【0037】また、各フィールドの最初のサブフィールド前または各フィールドの最後のサブフィールド後に垂直走査期間の整数倍の時間間隔でセットアップ期間が設定され、セットアップ期間に当該第 1 の電極と複数の第

2の電極との間に第1の放電と逆極性の第2の放電を起こさせるための第2の電圧が印加される。それにより、当該第1の電極と複数の第2の電極との間に第1の放電と逆極性の第2の放電が起こり、第1の電極側に第2の極性の壁電荷が蓄積され、第2の電極側に第1の極性の壁電荷が蓄積される。

【0038】このように、セットアップ期間に複数の第2の電極側に第1の極性の壁電荷が蓄積されるので、アドレス期間に第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、放電開始電圧に対する実効電圧のマージンが高くなる。その結果、アドレス放電の安定化が図られるとともに、放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、第2の電極の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0039】(3) 第3の発明

第3の発明に係る表示装置は、第1または第2の発明に係る表示装置の構成において、電圧印加手段は、第1の放電後、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第3の放電を起こさせるための第3の電圧を印加するものである。

【0040】この場合、第1の放電後、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第3の放電を起こさせるための第3の電圧が印加される。それにより、当該第1の電極と第2の電極との間に第1の放電と逆極性の第3の放電が起こり、第1の電極側に第2の極性の壁電荷が蓄積され、第2の電極側に第1の極性の壁電荷が蓄積される。

【0041】このように、アドレス期間後に第2の電極側に第1の極性の壁電荷が蓄積されるので、次のアドレス期間において第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、第1の電極と第2の電極との間で容易かつ確実に放電を開始させることができる。また、アドレス期間において第1の電極と第2の電極との間に印加する電圧を低減することが可能となる。

【0042】(4) 第4の発明

第4の発明に係る表示装置は、第3の発明に係る表示装置の構成において、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第3の電極をさらに備え、電圧印加手段は、第3の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第4の放電を起こさせるための第4の電圧を印加するものである。

【0043】この場合、第3の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第4の放電を起こさせるための第4の電圧が印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第4の放電が起こり、放電が維持さ

れる。

【0044】(5) 第5の発明

第5の発明に係る表示装置は、第1の発明に係る表示装置の構成において、電圧印加手段は、各サブフィールドの発光期間の終了時に、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧を印加するものである。

【0045】この場合、各サブフィールドの発光期間の終了時に、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧が印加される。それにより、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電が起こり、第1の電極側に第2の極性の壁電荷が蓄積され、第2の電極側に第1の極性の壁電荷が蓄積される。

【0046】このように、各サブフィールドの発光期間の終了時に第2の電極側に第1の極性の壁電荷が蓄積されるので、次のアドレス期間において第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、第1の電極と第2の電極との間で容易かつ確実に放電を開始させることができる。また、アドレス期間において第1の電極と第2の電極との間に印加する電圧を低減することが可能となる。

【0047】(6) 第6の発明

第6の発明に係る表示装置は、第2の発明に係る表示装置の構成において、電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの発光期間の終了時に、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧を印加するものである。

【0048】この場合、各第1の電極ごとに設定される各サブフィールドの発光期間の終了時に、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧が印加される。それにより、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電が起こり、第1の電極側に第2の極性の壁電荷が蓄積され、第2の電極側に第1の極性の壁電荷が蓄積される。

【0049】このように、各サブフィールドの発光期間の終了時に第2の電極側に第1の極性の壁電荷が蓄積されるので、次のアドレス期間において第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、第1の電極と第2の電極との間で容易かつ確実に放電を開始させることができる。また、アドレス期間において第1の電極と第2の電極との間に印加する電圧を低減することが可能となる。

【0050】(7) 第7の発明

第7の発明に係る表示装置は、第5または第6の発明に係る表示装置の構成において、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第3

の電極をさらに備え、電圧印加手段は、第1の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電を起こさせるための第6の電圧を印加するものである。

【0051】この場合、第1の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電を起こさせるための第6の電圧が印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電が起こり、放電が維持される。

【0052】(8) 第8の発明

第8の発明に係る表示装置は、第7の発明に係る表示装置の構成において、電圧印加手段は、第5の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電と同じ極性の第7の放電を起こさせるための第7の電圧を印加し、第7の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電と逆極性の第8の放電を起こさせるための第8の電圧を印加するものである。

【0053】この場合、第5の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電と同極性の第7の放電を起こさせるための第7の電圧が印加された後、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電と逆極性の第8の放電を起こさせるための第8の電圧が印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電が起こり、その後、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電と逆極性の第8の放電が起こり、第1の電極側の壁電荷および第3の電極側の壁電荷がキャンセルされる。

【0054】(9) 第9の発明

第9の発明に係る表示装置は、第1の発明に係る表示装置の構成において、電圧印加手段は、複数の第1の電極に駆動電圧を印加する第1の電圧印加手段と、複数の第2の電極に駆動電圧を印加する第2の電圧印加手段とを含み、第1の電圧印加手段は、各サブフィールドのアドレス期間に、当該第1の電極に所定の極性の第1の書き込み用パルス電圧を印加し、セットアップ期間に、当該第1の電極に第1の書き込み用パルス電圧と逆極性でかつ第1の書き込み用パルス電圧よりも高いセットアップ用パルス電圧を印加し、第2の電圧印加手段は、各サブフィールドのアドレス期間に、当該第1の電極に印加される第1の書き込み用パルス電圧に同期して第1の書き込み用パルス電圧と逆極性の第2の書き込み用パルス電圧を画像データに応じて該当する第2の電極に印加するものである。

【0055】この場合、各サブフィールドのアドレス期間に、当該第1の電極に所定の極性の第1の書き込み用パルス電圧が印加され、かつ第1の書き込み用パルス電

圧に同期して第1の書き込み用パルス電圧と逆極性の第2の書き込みパルス電圧が画像データに応じて該当する第2の電極に印加される。それにより、当該第1の電極と該当する第2の電極との間に第1の放電を起こさせるための第1の電圧が印加され、アドレス放電が起こる。また、セットアップ期間に当該第1の電極に第1の書き込み用パルス電圧と逆極性でかつ第1の書き込み用パルス電圧よりも高いセットアップ用パルス電圧が印加される。それにより、当該第1の電極と複数の第2の電極との間に第2の放電を起こさせるための第2の電圧が印加される。このようにして、第2の電極側に第2の極性の壁電荷が蓄積される。

【0056】(10) 第10の発明

第10の発明に係る表示装置は、第2の発明に係る表示装置の構成において、電圧印加手段は、複数の第1の電極に駆動電圧を印加する第1の電圧印加手段と、複数の第2の電極に駆動電圧を印加する第2の電圧印加手段とを含み、第1の電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、当該第1の電極に所定の極性の第1の書き込み用パルス電圧を印加し、セットアップ期間に、当該第1の電極に第1の書き込み用パルス電圧と逆極性でかつ第1の書き込み用パルス電圧よりも高いセットアップ用パルス電圧を印加し、第2の電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、当該第1の電極に印加される第1の書き込み用パルス電圧に同期して第1の書き込み用パルス電圧と逆極性の第2の書き込み用パルス電圧を画像データに応じて該当する第2の電極に印加するものである。

【0057】この場合、各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、当該第1の電極に所定の極性の第1の書き込み用パルス電圧が印加され、かつ第1の書き込み用パルス電圧に同期して第1の書き込み用パルス電圧と逆極性の第2の書き込みパルス電圧が画像データに応じて該当する第2の電極に印加される。それにより、当該第1の電極と該当する第2の電極との間に第1の放電を起こさせるための第1の電圧が印加され、アドレス放電が起こる。また、セットアップ期間に当該第1の電極に第1の書き込み用パルス電圧と逆極性でかつ第1の書き込み用パルス電圧よりも高いセットアップ用パルス電圧が印加される。それにより、当該第1の電極と複数の第2の電極との間に第2の放電を起こさせるための第2の電圧が印加される。このようにして、第2の電極側に第2の極性の壁電荷が蓄積される。

【0058】(11) 第11の発明

第11の発明に係る表示装置は、第9または第10の発明に係る表示装置の構成において、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第3の電極をさらに備え、電圧印加手段は、複数の第3

の電極に駆動電圧を印加する第3の電圧印加手段をさらに含み、第3の電圧印加手段は、第1の書き込み用パルス電圧の終了時に第1の書き込み用パルス電圧と同じ極性の発光維持用パルス電圧を当該第1の電極に対応する第3の電極に印加するものである。

【0059】この場合、第1の書き込み用パルス電圧の終了時に第1の書き込み用パルス電圧と同じ極性の発光維持用パルス電圧が当該第1の電極に対応する第3の電極に印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に放電を起こさせるための第4の電圧が印加される。このようにして、アドレス放電後に、維持放電が起こる。

【0060】(12) 第12の発明

第12の発明に係る表示装置は、第9の発明に係る表示装置の構成において、第1の電圧印加手段は、各サブフィールドの発光期間の終了時に、当該第1の電極に第1の書き込み用パルス電圧と逆極性の第1の消去用パルス電圧を印加するものである。

【0061】この場合、各サブフィールドの発光期間の終了時に、当該第1の電極に第1の書き込み用パルス電圧と逆極性の第1の消去用パルス電圧が印加される。それにより、当該第1の電極と対応する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧が印加される。このようにして、第2の電極側に第2の極性の壁電荷が蓄積される。

【0062】(13) 第13の発明

第13の発明に係る表示装置は、第10の発明に係る表示装置の構成において、第1の電圧印加手段は、各第1の電極ごとに設定される各サブフィールドの発光期間の終了時に、当該第1の電極に第1の書き込み用パルス電圧と逆極性の第1の消去用パルス電圧を印加するものである。

【0063】この場合、各サブフィールドの発光期間の終了時に、当該第1の電極に第1の書き込み用パルス電圧と逆極性の第1の消去用パルス電圧が印加される。それにより、当該第1の電極と対応する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧が印加される。このようにして、第2の電極側に第2の極性の壁電荷が蓄積される。

【0064】(14) 第14の発明

第14の発明に係る表示装置は、第12または第13の発明に係る表示装置の構成において、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第3の電極をさらに備え、電圧印加手段は、複数の第3の電極に駆動電圧を印加する第3の電圧印加手段をさらに含み、第3の電圧印加手段は、第1の書き込み用パルス電圧の終了時に第1の書き込み用パルス電圧と同じ極性の発光維持用パルス電圧を当該第1の電極に対応する第3の電極に印加し、当該第1の電極に印加される第1の消去用パルス電圧に同期して第2の消去用パルス電

圧を当該第1の電極に対応する第3の電極に印加するものである。

【0065】この場合、第1の書き込み用パルス電圧の終了時に、第1の書き込み用パルス電圧と同じ極性の発光維持用パルス電圧が当該第1の電極に対応する第3の電極に印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電を起こさせるための第7の電圧が印加される。このようにして、アドレス放電後に維持放電が起こる。また、当該第1の電極に印加される第1の消去用パルス電圧に同期して第2の消去用パルス電圧が当該第1の電極に対応する第3の電極に印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電と同極性の第7の放電を起こさせるための第7の電圧が印加された後、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電と逆極性の第8の放電を起こさせるための第8の電圧が印加される。このようにして、放電が停止されるとともに、第1の電極側の壁電荷および第3の電極側の壁電荷がキャンセルされる。

【0066】(15) 第15の発明

第15の発明に係る表示装置は、第1～第14のいずれかの発明に係る表示装置の構成において、電圧印加手段は、複数の第1の電極に同時に第2の電圧を印加するものである。この場合、複数の第1の電極側に第2の極性の壁電荷が同時に蓄積される。

【0067】(16) 第16の発明

第16の発明に係る表示装置は、第1～第14のいずれかの発明に係る表示装置の構成において、複数の第1の電極は、それぞれ所定数の第1の電極を含む複数のグループに区分され、電圧印加手段は、各グループに属する所定数の第1の電極に同時に第2の電圧を印加するものである。この場合、各グループごとに所定数の第1の電極側に第2の極性の壁電荷が同時に蓄積される。

【0068】(17) 第17の発明

第17の発明に係る表示装置の駆動方法は、第1の方向に配列された複数の第1の電極と、第1の方向と交差する第2の方向に配列された複数の第2の電極と、複数の第1の電極と複数の第2の電極との交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、各フィールドを複数のサブフィールドに時間的に分割し、各サブフィールドのアドレス期間に、画像データに応じて第1の電極と第2の電極との間に第1の放電を起こさせるための第1の電圧を印加し、アドレス期間に先立つセットアップ期間に当該第1の電極と複数の第2の電極との間に第1の放電と逆極性の第2の放電を起こさせるための第2の電圧を印加するものである。

【0069】本発明に係る表示装置の駆動方法においては、各フィールドが複数のサブフィールドに時間的に分割され、各サブフィールドのアドレス期間に、画像デー

タに応じて第1の電極と第2の電極との間に第1の放電を起こさせるための第1の電圧が印加される。それにより、当該第1の電極と該当する第2の電極との間に第1の放電が起こり、第1の電極側に第1の極性の壁電荷が蓄積され、第2の電極側に第2の極性の壁電荷が蓄積される。

【0070】また、アドレス期間に先立つセットアップ期間に当該第1の電極と複数の第2の電極との間に第1の放電と逆極性の第2の放電を起こさせるための第2の電圧が印加される。それにより、当該第1の電極と複数の第2の電極との間に第1の放電と逆極性の第2の放電が起こり、第1の電極側に第2の極性の壁電荷が蓄積され、第2の電極側に第1の極性の壁電荷が蓄積される。

【0071】このように、セットアップ期間に複数の第2の電極側に第1の極性の壁電荷が蓄積されるので、アドレス期間に第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、放電開始電圧に対する実効電圧のマージンが高くなる。その結果、アドレス放電の安定化が図られるとともに、放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、第2の電極の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0072】(18) 第18の発明

第18の発明に係る表示装置の駆動方法は、第1の方向に配列された複数の第1の電極と、第1の方向と交差する第2の方向に配列された複数の第2の電極と、複数の第1の電極と複数の第2の電極との交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、各第1の電極ごとに設定される各フィールドを複数のサブフィールドに時間的に分割し、各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、画像データに応じて当該第1の電極と該当する第2の電極との間に第1の放電を起こさせるための第1の電圧を印加し、各フィールドの最初のサブフィールド前または各サブフィールドの最後のサブフィールド後に垂直走査期間の整数倍の時間間隔で設定されたセットアップ期間に、当該第1の電極と複数の第2の電極との間に第1の放電と逆極性の第2の放電を起こさせるための第2の電圧を印加するものである。

【0073】本発明に係る表示装置の駆動方法においては、各第1の電極ごとに設定される各フィールドが複数のサブフィールドに時間的に分割される。各第1の電極ごとに設定される各サブフィールドの開始時のアドレス期間に、画像データに応じて当該第1の電極と該当する第2の電極との間に第1の放電を起こさせるための第1の電圧が印加される。それにより、当該第1の電極と該当する第2の電極との間に第1の放電が起こり、第1の電極側に第1の極性の壁電荷が蓄積され、第2の電極側に第2の極性の壁電荷が蓄積される。

【0074】また、各フィールドの最初のサブフィールド前または各フィールドの最後のサブフィールド後に垂直走査期間の整数倍の時間間隔でセットアップ期間が設定され、セットアップ期間に当該第1の電極と複数の第2の電極との間に第1の放電と逆極性の第2の放電を起こさせるための第2の電圧が印加される。それにより、当該第1の電極と複数の第2の電極との間に第1の放電と逆極性の第2の放電が起こり、第1の電極側に第2の極性の壁電荷が蓄積され、第2の電極側に第1の極性の壁電荷が蓄積される。

【0075】このように、セットアップ期間に複数の第2の電極側に第1の極性の壁電荷が蓄積されるので、アドレス期間に第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、放電開始電圧に対する実効電圧のマージンが高くなる。その結果、アドレス放電の安定化が図られるとともに、放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、第2の電極の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0076】(19) 第19の発明

第19の発明に係る表示装置の駆動方法は、第17または第18の発明に係る表示装置の駆動方法において、第1の放電後、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第3の放電を起こさせるための第3の電圧を印加するものである。

【0077】この場合、第1の放電後、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第3の放電を起こさせるための第3の電圧が印加される。それにより、当該第1の電極と第2の電極との間に第1の放電と逆極性の第3の放電が起こり、第1の電極側に第2の極性の壁電荷が蓄積され、第2の電極側に第1の極性の壁電荷が蓄積される。

【0078】このように、アドレス期間後に第2の電極側に第1の極性の壁電荷が蓄積されるので、次のアドレス期間において第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、第1の電極と第2の電極との間で容易かつ確実に放電を開始させることができる。また、アドレス期間において第1の電極と第2の電極との間に印加する電圧を低減することが可能となる。

【0079】(20) 第20の発明

第20の発明に係る表示装置の駆動方法は、第19の発明に係る表示装置の駆動方法において、表示装置は、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第3の電極をさらに備え、第3の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第4の放電を起こさせるための第4の電圧を印加するものである。

【0080】この場合、第3の放電時に、当該第1の電

極とその第1の電極に対応する第3の電極との間に第4の放電を起こさせるための第4の電圧が印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第4の放電が起こり、放電が維持される。

【0081】(21) 第21の発明

第21の発明に係る表示装置の駆動方法は、第17の発明に係る表示装置の駆動方法において、各サブフィールドの発光期間の終了時に、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧を印加するものである。

【0082】このように、各サブフィールドの発光期間の終了時に第2の電極側に第1の極性の壁電荷が蓄積されるので、次のアドレス期間において第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、第1の電極と第2の電極との間で容易かつ確実に放電を開始させることができる。また、アドレス期間において第1の電極と第2の電極との間に印加する電圧を低減することが可能となる。

【0083】(22) 第22の発明

第22の発明に係る表示装置の駆動方法は、第18の発明に係る表示装置の駆動方法において、各第1の電極ごとに設定される各サブフィールドの発光期間の終了時に、当該第1の電極と該当する第2の電極との間に第1の放電と逆極性の第5の放電を起こさせるための第5の電圧を印加するものである。

【0084】このように、各サブフィールドの発光期間の終了時に第2の電極側に第1の極性の壁電荷が蓄積されるので、次のアドレス期間において第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、第1の電極と第2の電極との間で容易かつ確実に放電を開始させることができる。また、アドレス期間において第1の電極と第2の電極との間に印加する電圧を低減することが可能となる。

【0085】(23) 第23の発明

第23の発明に係る表示装置の駆動方法は、第21または第22の発明に係る表示装置の駆動方法において、表示装置は、複数の第1の電極とそれぞれ対になるように第1の方向に配列された複数の第3の電極をさらに備え、第1の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電を起こさせるための第6の電圧を印加するものである。

【0086】この場合、第1の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電を起こさせるための第6の電圧が印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電が起こり、放電が維持される。

【0087】(24) 第24の発明

第24の発明に係る表示装置の駆動方法は、第23の発

明に係る表示装置の駆動方法において、第5の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電と同じ極性の第7の放電を起こさせるための第7の電圧を印加し、第7の放電後、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電と逆極性の第8の放電を起こさせるための第8の電圧を印加するものである。

【0088】この場合、第5の放電時に、当該第1の電極とその第1の電極に対応する第3の電極との間に第6の放電と同極性の第7の放電を起こさせるための第7の電圧が印加された後、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電と逆極性の第8の放電を起こさせるための第8の電圧が印加される。それにより、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電が起こり、その後、当該第1の電極とその第1の電極に対応する第3の電極との間に第7の放電と逆極性の第8の放電が起こり、第1の電極側の壁電荷および第3の電極側の壁電荷がキャンセルされる。

【0089】(25) 第25の発明

第25の発明に係る表示装置の駆動方法は、第17～第24のいずれかの発明に係る表示装置の駆動方法において、複数の第1の電極に同時に第2の電圧を印加するものである。この場合、複数の第1の電極側に第2の極性の壁電荷が同時に蓄積される。

【0090】(26) 第26の発明

第26の発明に係る表示装置の駆動方法は、第17～第24のいずれかの発明に係る表示装置の駆動方法において、複数の第1の電極は、それぞれ所定数の第1の電極を含む複数のグループに区分され、各グループに属する所定数の第1の電極に同時に第2の電圧を印加するものである。この場合、各グループごとに所定数の第1の電極側に第2の極性の壁電荷が同時に蓄積される。

【0091】

【発明の実施の形態】以下、本発明に係る表示装置の一例としてプラズマディスプレイ装置について説明する。

【0092】図1は本発明の第1の実施例によるプラズマディスプレイ装置の構成を示すブロック図である。本実施例のプラズマディスプレイ装置では、アドレス・サステイン同時駆動方式が用いられる。

【0093】図1のプラズマディスプレイ装置は、PDP(プラズマディスプレイパネル)1、アドレスドライバ2、スキンドライバ3、サステインドライバ4、放電制御タイミング発生回路5、A/Dコンバータ(アナログ・デジタル変換器)6、走査数変換部7およびサブフィールド変換部8を含む。

【0094】A/Dコンバータ6には映像信号VDが入力される。また、放電制御タイミング発生回路5、A/Dコンバータ6、走査数変換部7およびサブフィールド変換部8には水平同期信号Hおよび垂直同期信号Vが与

えられる。

【0095】A/Dコンバータ6は、映像信号VDをデジタルの画像データに変換し、その画像データを走査数変換部7に与える。走査数変換部7は、画像データをPDP1の画素数に応じたライン数の画像データに変換し、各ラインごとの画像データをサブフィールド変換部8に与える。各ラインごとの画像データは、各ラインの複数の画素にそれぞれ対応する複数の画素データからなる。サブフィールド変換部8は、各ラインごとの画像データの各画素データを複数のサブフィールドに対応する複数のビットに分割し、各サブフィールドごとに各画素データの各ビットをアドレスドライバ2にシリアルに出力する。

【0096】放電制御タイミング発生回路5は、水平同期信号Hおよび垂直同期信号Vを基準として放電制御タイミング信号SC、SUを発生し、それぞれスキヤンドライバ3およびサステインドライバ4に与える。また、放電制御タイミング発生回路5は、垂直同期セットアップパルスVSを発生し、スキヤンドライバ3に与える。

【0097】図2は図1のプラズマディスプレイ装置の主としてPDP1の構成を示すブロック図である。

【0098】図2に示すように、PDP1は、複数のアドレス電極（データ電極）11、複数のスキヤン電極（走査電極）12および複数のサステイン電極（維持電極）13を含む。複数のアドレス電極11は画面の垂直方向に配列され、複数のスキヤン電極12および複数のサステイン電極13は画面の水平方向に配列されている。複数のサステイン電極13は共通に接続されている。

【0099】アドレス電極11、スキヤン電極12およびサステイン電極13の各交点に放電セルが形成され、各放電セルが画面上の画素を構成する。

【0100】アドレスドライバ2は電源回路21に接続されている。このアドレスドライバ2は、図1のサブフィールド変換部8から各サブフィールドごとにシリアルに与えられるデータをパラレルデータに変換し、そのパラレルデータに基づいて複数のアドレス電極11を駆動する。

【0101】スキヤンドライバ3は出力回路3aおよびシフトレジスタ3bを含み、サステインドライバ4は出力回路を含む。これらのスキヤンドライバ3およびサステインドライバ4は共通の電源回路22に接続されている。

【0102】スキヤンドライバ3のシフトレジスタ3bは、図1の放電制御タイミング発生回路5から与えられる放電制御タイミング信号SCを垂直走査方向にシフトしつつ出力回路3aに与える。出力回路3aは、シフトレジスタ3bから与えられる放電制御タイミング信号SCに反応して複数のスキヤン電極12を順に駆動する。また、出力回路3aは、図1の放電制御タイミング発生

回路5から与えられる垂直同期セットアップパルスVSを複数のスキヤン電極12に同時に印加する。サステインドライバ4は、図1の放電制御タイミング発生回路5から与えられる放電制御タイミング信号SUに反応してサステイン電極13を駆動する。

【0103】図3は図2のPDP1の各電極に印加される駆動電圧を示すタイミングチャートである。図3では、アドレス電極11、サステイン電極13および第nライン～第(n+2)ラインのスキヤン電極12の駆動電圧が示されている。ここで、nは任意の整数である。

【0104】図3において、サステイン電極13には、一定周期でサステインパルスP_{su}が印加される。アドレス期間には、スキヤン電極12に書き込みパルスP_wが印加される。この書き込みパルスP_wに同期してアドレス電極11に書き込みパルスP_{wa}が印加される。アドレス電極11に印加される書き込みパルスP_{wa}のオンオフは、表示する画像の各画素に応じて制御される。書き込みパルスP_wと書き込みパルスP_{wa}とが同時に印加されると、スキヤン電極12とアドレス電極11との交点の放電セルでアドレス放電が発生し、その放電セルが点灯する。

【0105】アドレス期間後の維持期間には、スキヤン電極12に一定周期で維持パルスP_{sc}が印加される。スキヤン電極12に印加される維持パルスP_{sc}の位相はサステイン電極13に印加されるサステインパルスP_{su}の位相に対して180度ずれている。この場合、アドレス放電で点灯した放電セルにおいてのみ維持放電が発生する。

【0106】各サブフィールドの終了時には、スキヤン電極12に消去パルスP_eが印加される。それにより、各放電セルの壁電荷が消滅または維持放電が起きない程度に低減し、維持放電が終了する。消去パルスP_eの印加後の休止期間には、スキヤン電極12に一定周期で休止パルスP_rが印加される。この休止パルスP_rはサステインパルスP_{su}と同位相になっている。

【0107】アドレス電極11に印加される書き込みパルスP_{wa}は0Vと150Vとの間で変化する。また、サステイン電極13に印加されるサステインパルスP_{su}は200Vと0Vとの間で変化する。各スキヤン電極12に印加される書き込みパルスP_w、維持パルスP_{sc}および休止パルスP_rは200Vと0Vとの間で変換し、消去パルスP_eは0Vと200Vとの間で変化する。

【0108】図4は図1のプラズマディスプレイ装置に用いられるアドレス・サステイン同時駆動方式を説明するための図である。図4の縦軸は第1ラインから第mラインまでのスキヤン電極の走査方向（垂直走査方向）を示し、横軸は時間を示す。

【0109】本例では、1フィールドを発光期間と非発光期間とに時間的に分割するとともに、発光期間を複数

のサブフィールドに時間的に分割する。本例のアドレス・サステイン同時駆動方式においても、各ラインごとにアドレス放電に続いて維持放電が開始される。

【0110】本実施例では、発光期間が4つのサブフィールドSF1, SF2, SF3, SF4に時間的に分割され、各サブフィールドSF1~SF4がそれぞれアドレス期間AD1~AD4と維持期間SUS1~SUS4を含む。

【0111】各サブフィールドSF1~SF4において、各ラインごとにアドレス期間AD1~AD4に続いて維持期間SUS1~SUS4がそれぞれ設定されている。また、各ラインごとに発光期間に続いて非発光期間が設定されている。

【0112】本実施例では、1垂直走査期間ごとに設定されたセットアップ期間に垂直同期セットアップパルスVSが発生する。セットアップ期間は、第1ラインのスキヤン電極12の最初のサブフィールドSF1の前に設定される。垂直同期セットアップパルスVSは、全てのスキヤン電極12に同時に印加される。

【0113】図5は図1のプラズマディスプレイ装置におけるセットアップ期間、アドレス期間および維持期間のアドレス電極、サステイン電極およびスキヤン電極の駆動電圧を示す波形図である。図5には、第1ライン~第4ラインのスキヤン電極12の駆動電圧が示される。

【0114】図5に示すように、セットアップ期間には、複数のスキヤン電極12に垂直同期セットアップパルスVSが同時に印加される。垂直同期セットアップパルスVSは、100Vから450Vまで徐々に立ち上がり、一定時間後、450Vから100Vまで徐々に立ち下がる。サステイン電極13の電位は、セットアップ期間の開始時に200Vから100Vに立ち下がり、セットアップ期間の終了時に100Vから200Vに立ち上がる。

【0115】垂直同期セットアップパルスVSの立ち上がりによりスキヤン電極12とサステイン電極13との間で放電が起こる。それにより、スキヤン電極12側に負の壁電荷が蓄積され、サステイン電極13側に正の壁電荷が蓄積される。同時に、アドレス電極11とスキヤン電極12との間で放電が起こる。それにより、アドレス電極11側に正の壁電荷が蓄積される。このとき、サステイン電極13の電位が100Vに低下しているため、アドレス電極11とサステイン電極13の間では放電は起こらない。なお、図5では、セットアップ期間の電圧をパルス電圧としているが、0Vまたは100Vなどの一定電圧としてもよい。

【0116】次に、垂直同期セットアップパルスVSの立ち下がりによりスキヤン電極12とサステイン電極13との間で上記と逆極性の放電が起こる。それにより、スキヤン電極12側の負の壁電荷とサステイン電極13側の正の壁電荷とがキャンセルされる。その結果、スキ

ヤン電極12側の負の壁電荷が0になり、または0に近くなり、サステイン電極13側の正の壁電荷が0になり、または0に近くなる。

【0117】アドレス期間には、スキヤン電極12に書き込みパルスPwが印加される。スキヤン電極12の書き込みパルスPwに同期してアドレス電極11に書き込みパルスPwaが印加される。このとき、アドレス電極11側には正の壁電荷が蓄積されているので、アドレス電極11とスキヤン電極12との間にかかる実効電圧が高くなる。アドレス電極11とスキヤン電極12との間の実効電圧が放電開始電圧を超えると、アドレス電極11とスキヤン電極12との間で放電が開始する。

【0118】このように、垂直同期セットアップパルスVSにより定常的にアドレス電極11側に正の壁電荷が蓄積されるので、アドレス放電時にアドレス電極11とスキヤン電極12との間にかかる実効電圧が高くなる。それにより、放電開始電圧に対する実効電圧のマージンが高くなる。その結果、アドレス放電の安定化が図られるとともに、PDP1の放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、アドレス電極11の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0119】図6は図1の放電制御タイミング発生回路5の主要部の構成を示すブロック図である。また、図7は図6の放電制御タイミング発生回路5により発生される各種パルスおよび放電制御タイミング信号の波形図である。

【0120】図6において、放電制御タイミング発生回路5は、基本パルス発生回路51、書き込みパルス作成回路52、消去パルス作成回路53、休止パルス作成回路54、維持パルス作成回路55、サステインパルス作成回路56、垂直同期セットアップパルス作成回路62、複数のANDゲート57~60、63、ORゲート61およびランプ波形作成回路66を含む。

【0121】基本パルス発生回路51は、基本パルスPLSを発生し、その基本パルスPLSを書き込みパルス作成回路52、消去パルス作成回路53、休止パルス作成回路54、維持パルス作成回路55およびサステインパルス作成回路56に与える。

【0122】書き込みパルス作成回路52は、基本パルスPLSに同期して書き込みパルスPwを作成し、その書き込みパルスPwをANDゲート57を介して出力する。書き込みパルスPwは、各サブフィールドの始まりに位置し、そのサブフィールドにおけるアドレス放電を開始させる。

【0123】消去パルス作成回路53は、基本パルスPLSに同期して消去パルスPeを作成し、その消去パルスPeをANDゲート58を介して出力する。この消去パルスPeは、各サブフィールドの終わりに位置し、そ

のサブフィールドの維持放電を終了させる。

【0124】休止パルス作成回路54は、基本パルスPLSに同期して休止パルスPrを作成し、その休止パルスPrをANDゲート59を介して出力する。この休止パルスPrは、消去パルスPeと次のサブフィールドとの間に挿入される。

【0125】維持パルス作成回路55は、基本パルスPLSに同期して維持パルスPscを作成し、その維持パルスPscをANDゲート60を介して出力する。この維持パルスPscは、書き込みパルスPwから消去パルスPeまでの期間に各サブフィールドの重み付けに合わせて挿入される。

【0126】これらの書き込みパルスPw、消去パルスPe、休止パルスPrおよび維持パルスPscは、ORゲート61に与えられる。ORゲート61からは、書き込みパルスPw、消去パルスPe、休止パルスPrおよび維持パルスPscの論理和演算により放電制御タイミング信号SCが出力され、その放電制御タイミング信号SCがスキヤンドライバ3のシフトレジスタ3bに与えられる。

【0127】サステインパルス作成回路56は、基本パルスPLSに同期してサステインパルスPsuを作成し、そのサステインパルスPsuを放電制御タイミング信号SUとしてサステインドライバ4に与える。

【0128】垂直同期セットアップパルス作成回路62は、セットアップ期間に矩形波形の垂直同期セットアップパルスPvを作成し、その垂直同期セットアップパルスPvをANDゲート63を介してランプ波形作成回路66に与える。ランプ波形作成回路66は、抵抗64およびコンデンサ65からなり、矩形波形の垂直同期セットアップパルスPvに基づいてランプ波形の垂直同期セットアップパルスVSを出力する。垂直同期セットアップパルスVSはスキヤンドライバ3の出力回路3aに与えられる。

【0129】出力回路3aは、セットアップ期間に垂直同期セットアップパルスVSを複数のスキヤン電極12に同時に与えた後、シフトレジスタ3bから与えられる放電制御タイミング信号SCに应答して複数のスキヤン電極12を順に駆動する。

【0130】図8は図1のプラズマディスプレイ装置における主としてアドレス期間、維持期間および休止期間のアドレス電極、サステイン電極およびスキヤン電極の駆動電圧を示す波形図である。

【0131】図8に示すように、サステイン電極13には一定周期でサステインパルスPsuが印加されている。前のサブフィールドの休止期間では、スキヤン電極12にサステインパルスPsuと同位相の休止パルスPrが印加されている。このとき、アドレス電極11側に正の壁電荷が蓄積されている。

【0132】アドレス期間には、アドレス電極11に書き

込みパルスPwaが印加される。書き込みパルスPwaは、時点t1で0Vから150Vに立ち上がり、時点t2で150Vから0Vに立ち下がる。

【0133】アドレス電極11の書き込みパルスPwaに同期してスキヤン電極12に書き込みパルスPwが印加される。書き込みパルスPwは、時点t1で200Vから0Vに立ち下がり、時点t2で0Vから200Vに立ち上がる。

【0134】時点t1でアドレス電極11の電位が0Vから150Vに立ち上がり、かつスキヤン電極12の電位が200Vから0Vに立ち下がると、アドレス電極11とスキヤン電極12との間に正の電圧150Vが印加される。このとき、アドレス電極11側には正の壁電荷が蓄積されているので、アドレス電極11とスキヤン電極12との間にかかる実効電圧が高くなる。その結果、アドレス電極11とスキヤン電極12との間で放電が起こる。それにより、アドレス電極11側に負の壁電荷が蓄積され、スキヤン電極12側に正の壁電荷が蓄積される。このとき、サステイン電極13の電位は200Vである。

【0135】次に、時点t2でアドレス電極11の電位が150Vから0Vに立ち下がり、かつスキヤン電極12の電位が0Vから200Vに立ち上がると、アドレス電極11とスキヤン電極12との間に負の電圧-200Vが印加される。このとき、アドレス電極11側に負の壁電荷が蓄積され、スキヤン電極12側に正の壁電荷が蓄積されているので、アドレス電極11とスキヤン電極12との間にかかる実効電圧が高くなる。その結果、アドレス電極11とスキヤン電極12との間で上記と逆極性の放電が起こる。それにより、アドレス電極11側に正の壁電荷が蓄積され、スキヤン電極12側に負の壁電荷が蓄積される。

【0136】また、サステイン電極13にサステインパルスPsuが印加される。サステインパルスPsuは、時点t2で200Vから0Vに立ち下がり、その後、0Vから200Vに立ち上がる。時点t2でサステイン電極13の電位が200Vから0Vに立ち下がると、スキヤン電極12とサステイン電極13との間に正の電圧200Vが印加される。このとき、スキヤン電極12側に正の壁電荷が蓄積されているので、スキヤン電極12とサステイン電極13との間にかかる実効電圧が高くなる。その結果、スキヤン電極12とサステイン電極13との間で維持放電が起こる。それにより、サステイン電極13側に正の壁電荷が蓄積される。

【0137】維持期間では、スキヤン電極12にサステインパルスPsuに対して180度位相のずれた維持パルスPscが印加される。それにより、スキヤン電極12とサステイン電極13との間に印加される電圧の極性が交互に反転する。この場合、アドレス電極11側には正の壁電荷が蓄積されている。

【0138】図9は図8に示したアドレス期間および維持期間における放電セルの状態の変化を説明するための図である。

【0139】図9(a)に示すように、アドレス期間の開始時には、アドレス電極11の電位が相対的に負となり、スキャン電極12およびサステイン電極13の電位が相対的に正となっている。このとき、アドレス電極11側には正の壁電荷が蓄積されている。

【0140】アドレス電極11に書き込みパルス P_{wa} が印加され、スキャン電極12に書き込みパルス P_w が印加されると、図9(b)に示すように、アドレス電極11の電位が相対的に正となり、スキャン電極12の電位が相対的に負となる。この場合、アドレス電極11側に正の壁電荷が蓄積されているので、アドレス電極11とスキャン電極12との間に印加される実効電圧が高くなる。アドレス電極11とスキャン電極12との間の実効電圧が放電開始電圧を超えると、アドレス電極11とスキャン電極12との間で放電が開始する。

【0141】それにより、図9(c)に示すように、アドレス電極11側に負の壁電荷が蓄積され、スキャン電極12側に正の壁電荷が蓄積される。

【0142】次に、アドレス期間の終了時に、図9(d)に示すように、アドレス電極11の電位が相対的に負となり、スキャン電極12の電位が相対的に正となる。また、サステイン電極13の電位が相対的に負となる。この場合、アドレス電極11側に負の壁電荷が蓄積され、スキャン電極12側に正の壁電荷が蓄積されているので、アドレス電極11とスキャン電極12との間に印加される実効電圧が高くなる。アドレス電極11とスキャン電極12との間の実効電圧が放電開始電圧を超えると、アドレス電極11とスキャン電極12との間で図9(b)の場合と逆極性の放電が開始する。また、スキャン電極12側に正の壁電荷が蓄積されているので、スキャン電極12とサステイン電極13との間に印加される実効電圧が高くなる。スキャン電極12とサステイン電極13との間の実効電圧が放電開始電圧を超えると、スキャン電極12とサステイン電極13との間で放電が起こる。

【0143】それにより、図9(e)に示すように、アドレス電極11側に正の壁電荷が蓄積され、スキャン電極12側に負の壁電荷が蓄積され、サステイン13側に正の壁電荷が蓄積される。

【0144】維持期間において、図9(f)に示すように、スキャン電極12の電位が相対的に負となり、サステイン電極13の電位が相対的に正となると、スキャン電極12側に負の壁電荷が蓄積されているので、スキャン電極12とサステイン電極13との間に印加される実効電圧が高くなり、スキャン電極12とサステイン電極13との間で図9(d)の場合と逆極性の放電が起こる。以後、スキャン電極12とサステイン13との間に

印加される電圧の極性が交互に反転することによりスキャン電極12とサステイン電極13との間で放電が維持される。

【0145】このように、維持期間および休止期間において、アドレス電極11側に正の壁電荷が蓄積されているので、次のアドレス期間でアドレス電極11とスキャン電極12との間で容易かつ確実に放電を開始させることができる。したがって、アドレス電極11に印加される電圧を低く設定しても、アドレス期間においてアドレス電極11とスキャン電極12との間で放電を開始させることが可能となる。

【0146】なお、本実施例では、アドレス電極11に0Vと150Vとの間で変化する電圧を印加し、スキャン電極12に0Vと200Vとの間で変化する電圧を印加し、サステイン電極13に0Vと200Vとの間で変化する電圧を印加しているが、アドレス電極11、スキャン電極12およびサステイン電極13に印加する電圧は上記の例に限定されない。

【0147】ただし、時点 t_1 でアドレス電極11とスキャン電極12との間で放電が起こり、時点 t_2 でアドレス電極11とスキャン電極12との間で逆極性の放電が起こり、かつスキャン電極12とサステイン電極13との間で放電が起こるように、アドレス電極11、スキャン電極12およびサステイン電極13の電圧を設定する必要がある。

【0148】例えば、アドレス電極11に0Vと175Vとの間で変化する電圧を印加し、スキャン電極12に0Vと185Vとの間で変化する電圧を印加し、サステイン電極13に0Vと185Vとの間で変化する電圧を印加してもよい。

【0149】図10は本発明の第2の実施例によるプラズマディスプレイ装置の構成を示すブロック図である。

【0150】図10のプラズマディスプレイ装置においては、図1のスキンドライバ3の代わりにスキンドライバ3Aが設けられ、図1の放電制御タイミング発生回路5の代わりに放電制御タイミング発生回路5Aが設けられている。

【0151】放電制御タイミング発生回路5Aは、水平同期信号Hおよび垂直同期信号Vを基準として放電制御タイミング信号SCA、SUを発生し、それぞれスキンドライバ3Aおよびサステインドライバ4に与える。また、放電制御タイミング発生回路5Aは、消去パルス P_{ea} および垂直同期セットアップパルスVSを発生し、スキンドライバ3Aに与える。図10のプラズマディスプレイ装置の他の部分の構成は図1のプラズマディスプレイ装置の構成と同様である。

【0152】図11は図10のプラズマディスプレイ装置の主としてPDP1の構成を示すブロック図である。

【0153】図11のプラズマディスプレイ装置におけるPDP1の構成は、図2に示したPDP1の構成と同

様である。また、図11のアドレスドライバ2およびサステインドライバ4の構成および動作は、図2に示したアドレスドライバ2およびサステインドライバ4の構成および動作と同様である。

【0154】スキヤンドライバ3Aは、出力回路3aおよびシフトレジスタ3b、3cを含む。スキヤンドライバ3のシフトレジスタ3bは、図10の放電制御タイミング発生回路5Aから与えられる放電制御タイミング信号SCAを垂直走査方向にシフトしつつ出力回路3aに与える。また、シフトレジスタ3cは、図10の放電制御タイミング発生回路5Aから与えられる消去パルスPeaを垂直走査方向にシフトしつつ出力回路3aに与える。出力回路3aは、シフトレジスタ3bから与えられる放電制御タイミング信号SCAおよびシフトレジスタ3cから与えられる消去パルスPeaにตอบสนองして複数のスキヤン電極12を順に駆動する。また、出力回路3aは、図10の放電制御タイミング発生回路5Aから与えられる垂直同期セットアップパルスVSを複数のスキヤン電極12に同時に印加する。サステインドライバ4は、図10の放電制御タイミング発生回路5Aから与えられる放電制御タイミング信号SUにตอบสนองしてサステイン電極13を駆動する。

【0155】図12は図10のプラズマディスプレイ装置におけるセットアップ期間、アドレス期間および維持期間のアドレス電極、サステイン電極およびスキヤン電極の駆動電圧を示す波形図である。図12には、第1ライン～第4ラインのスキヤン電極12の駆動電圧が示される。

【0156】図12の波形図が図5の波形図と異なるのは、アドレス電極11に印加される書き込みパルスPwaが0Vと100Vとの間で変化する点である。すなわち、本実施例のプラズマディスプレイ装置においては、アドレス電極11に印加される駆動電圧が低減されている。

【0157】図12に示すように、セットアップ期間には、複数のスキヤン電極12に垂直同期セットアップパルスVSが同時に印加される。垂直同期セットアップパルスVSは、0Vから450Vまで徐々に立ち上がり、一定時間後、450Vから0Vまで徐々に立ち下がる。サステイン電極13の電位は、セットアップ期間の開始時に200Vから100Vに立ち下がり、セットアップ期間の終了時に100Vから200Vに立ち上がる。

【0158】垂直同期セットアップパルスVSの立ち上がりによりスキヤン電極12とサステイン電極13との間で放電が起こる。それにより、スキヤン電極12側の負の壁電荷が蓄積され、サステイン電極13側に正の壁電荷が蓄積される。同時に、アドレス電極11とスキヤン電極12との間で放電が起こる。それにより、アドレス電極11側に正の壁電荷が蓄積される。このとき、サステイン電極13の電位が100Vに低下しているの

で、アドレス電極11とサステイン電極13との間では放電は起こらない。

【0159】次に、垂直同期セットアップパルスVSの立ち下がりによりスキヤン電極12とサステイン電極13との間で上記と逆極性の放電が起こる。それにより、スキヤン電極12側の負の壁電荷とサステイン電極13側の正の壁電荷とがキャンセルされる。その結果、スキヤン電極12側の負の壁電荷が0になり、または0に近くなり、サステイン電極13側の正の壁電荷が0になり、または0に近くなる。

【0160】アドレス期間には、スキヤン電極12に書き込みパルスPwが印加される。スキヤン電極12の書き込みパルスPwに同期してアドレス電極11に書き込みパルスPwaが印加される。このとき、アドレス電極11側には正の壁電荷が蓄積されているので、アドレス電極11とスキヤン電極12との間にかかる実効電圧が高くなる。アドレス電極11とスキヤン電極12との間の実効電圧が放電開始電圧を超えると、アドレス電極11とスキヤン電極12との間で放電が開始する。

【0161】このように、垂直同期セットアップパルスVSにより定常的にアドレス電極11側に正の壁電荷が蓄積されるので、アドレス放電時にアドレス電極11とスキヤン電極12との間にかかる実効電圧が高くなる。それにより、放電開始電圧に対する実効電圧のマージンが高くなる。その結果、アドレス放電の安定化が図られるとともに、PDP1の複数の放電セルのばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、アドレス電極11の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0162】図13は図10のプラズマディスプレイ装置における主としてアドレス期間、維持期間および休止期間のアドレス電極、サステイン電極およびスキヤン電極の駆動電圧を示す波形図である。

【0163】上記のように、アドレス電極11に印加される書き込みパルスPwaは0Vと100Vとの間で変化する。図13に示すように、前のサブフィールドの休止期間では、アドレス電極11側に正の壁電荷が蓄積されている。アドレス期間には、アドレス電極11に書き込みパルスPwaが印加される。書き込みパルスPwaは、時点t1で0Vから100Vに立ち上がり、時点t2で100Vから0Vに立ち下がる。

【0164】アドレス電極11の書き込みパルスPwaに同期してスキヤン電極12に書き込みパルスPwが印加される。書き込みパルスPwは、時点t1で200Vから0Vに立ち下がり、時点t2で0Vから200Vに立ち上がる。

【0165】時点t1でアドレス電極11の電位が0Vから100Vに立ち上がり、かつスキヤン電極12の電位が200Vから0Vに立ち下がると、アドレス電極1

1とスキャン電極12との間に正の電圧100Vが印加される。このとき、アドレス電極11側には正の壁電荷が蓄積されているので、アドレス電極11とスキャン電極12との間にかかる実効電圧が高くなる。その結果、アドレス電極11とスキャン電極12との間で放電が起こる。それにより、アドレス電極11側に負の壁電荷が蓄積され、スキャン電極12側に正の壁電荷が蓄積される。このとき、サステイン電極13の電位は200Vである。

【0166】次に、時点 t_2 でアドレス電極11の電位が100Vから0Vに立ち下がり、かつスキャン電極12の電位が0Vから200Vに立ち上がると、アドレス電極11とスキャン電極12との間に負の電圧-200Vが印加される。この場合、アドレス電極11の駆動電圧が100Vと低いので、アドレス電極11とスキャン電極12との間で上記と逆極性の放電は起こらない。そのため、アドレス電極11側には負の壁電荷が蓄積された状態が維持される。

【0167】一方、サステイン電極13にサステインパルス P_{su} が印加される。サステインパルス P_{su} は、時点 t_2 で200Vから0Vに立ち下がり、その後、0Vから200Vに立ち上がる。時点 t_2 でサステイン電極13の電位が200Vから0Vに立ち下がると、スキャン電極12とサステイン電極13との間に正の電圧200Vが印加される。このとき、スキャン電極12側に正の壁電荷が蓄積されているので、スキャン電極12とサステイン電極13との間にかかる実効電圧が高くなる。その結果、スキャン電極12とサステイン電極13との間で維持放電が起こる。それにより、サステイン電極13側に正の壁電荷が蓄積される。

【0168】維持期間では、スキャン電極12にサステインパルス P_{su} に対して180度位相のずれた維持パルス P_{sc} が印加される。それにより、スキャン電極12とサステイン電極13との間に印加される電圧の極性が交互に反転する。この場合、アドレス電極11側には負の壁電荷が蓄積されている。

【0169】維持期間の終了時には、スキャン電極12にサステインパルス P_{su} と同位相の消去パルス P_{ea} が印加される。消去パルス P_{ea} は、時点 t_3 で200Vから300Vに立ち上がり、時点 t_4 で300Vから200Vに立ち下がる。時点 t_3 でスキャン電極12の電位が200Vから300Vに立ち上がると、アドレス電極11とスキャン電極12との間に負の電圧-300Vが印加される。このとき、アドレス電極11側には負の壁電荷が蓄積されているので、アドレス電極11とスキャン電極12との間にかかる実効電圧が高くなる。その結果、アドレス電極11とスキャン電極12との間にアドレス期間の放電と逆極性の放電が起こる。それにより、アドレス電極11側に正の壁電荷が蓄積される。

【0170】また、時点 t_3 でスキャン電極12とサス

テイン電極13との間に正の電圧300Vが印加される。このとき、スキャン電極12側には正の壁電荷が蓄積され、サステイン電極13側には負の壁電荷が蓄積されているので、スキャン電極12とサステイン電極13との間で強放電が起こる。その結果、後述するように、実効電圧と等しい壁電荷の変化が逆方向に生じ、時点 t_4 で壁電荷のみにより上記と逆極性の放電が起こる。このとき、逆極性の放電により生じる壁電荷が放電前の壁電荷をキャンセルし、壁電荷がほとんどなくなる。

【0171】なお、アドレス期間においてアドレス電極11に書き込みパルス P_{wa} が印加されなかった場合には、アドレス電極11側には正の壁電荷が蓄積されている。この場合、休止パルス P_{ea} の印加時にアドレス電極11とスキャン電極12との間で逆極性の放電が生じず、アドレス電極11側には正の壁電荷が蓄積された状態が維持される。

【0172】図14は図13に示した維持期間の終了時から休止期間の開始時における放電セルの状態の変化を説明するための図である。

【0173】図14(a)に示すように、維持期間の終了時には、スキャン電極12とサステイン電極13との間の電圧 V_e は0Vとなっている。このとき、スキャン電極12側に正の壁電荷が蓄積され、サステイン電極13側に負の壁電荷が蓄積されている。このときの壁電荷による電圧 V_w を50Vとする。したがって、スキャン電極12とサステイン電極13との間にかかる実効電圧 V_c は50Vとなる。このとき、アドレス電極11側には負の壁電荷が蓄積されている。

【0174】スキャン電極12に休止パルス P_{ea} が印加され、サステイン電極13にサステインパルス P_{su} が印加されると、図14(b)に示すように、スキャン電極12とサステイン電極13との間の電圧 V_e は300Vとなる。この場合、壁電荷による電圧 V_w は50Vであるので、スキャン電極12とサステイン電極13との間にかかる実効電圧 V_c は350Vとなる。その結果、スキャン電極12とサステイン電極13との間の実効電圧が放電開始電圧を超え、スキャン電極12とサステイン電極13との間で放電が起こる。

【0175】また、アドレス電極11とスキャン電極12との間の電圧は-300Vとなる。この場合、アドレス電極11側には負の壁電荷が蓄積されているので、アドレス電極11とスキャン電極12との間にかかる実効電圧が高くなる。その結果、アドレス電極11とスキャン電極12との間の実効電圧が放電開始電圧を超え、アドレス電極11とスキャン電極12との間にアドレス期間の放電と逆極性の放電が起こる。

【0176】このようにして、図14(c)に示すように、スキャン電極12側に負の壁電荷が蓄積され、サステイン電極13側に正の壁電荷が蓄積される。このとき、壁電荷の変化量は実効電圧 V_c に相当するので、壁

電荷による電圧 V_w は $-300V$ となる。また、上記の逆極性の放電によりアドレス電極11側に正の壁電荷が蓄積される。

【0177】その後、休止パルス P_{ea} およびサステインパルス P_{su} が終了すると、図14(d)に示すように、スキャン電極12とサステイン電極13との間に印加される電圧 V_e が $0V$ となる。このとき、壁電荷による電圧 V_w は $-300V$ であるので、スキャン電極12とサステイン電極13との間にかかる実効電圧 V_c は $-300V$ となる。その結果、スキャン電極12とサステイン電極13との間で上記と逆極性の放電が起こる。

【0178】このときの壁電荷の変化量は実効電圧 V_c に相当するので、壁電荷による電圧 V_w は $0V$ となる。それにより、図14(e)に示すように、スキャン電極12側の負の壁電荷およびサステイン電極13側の正の壁電荷が消滅する。

【0179】図15は図10の放電制御タイミング発生回路5Aの主要部の構成を示すブロック図である。また、図16は図15の放電制御タイミング発生回路5Aにより発生される各種パルスおよび放電制御タイミング信号の波形図である。

【0180】図15において、放電制御タイミング発生回路5Aは、基本パルス発生回路51、書き込みパルス作成回路52、休止パルス作成回路54、維持パルス作成回路55、サステインパルス作成回路56、垂直同期セットアップパルス作成回路62、消去パルス作成回路67、複数のANDゲート57, 59, 60, 63, 68、ORゲート61およびランプ波形作成回路66を含む。

【0181】基本パルス発生回路51、書き込みパルス作成回路52、休止パルス作成回路54、維持パルス作成回路55およびサステインパルス作成回路56の動作は図6のそれぞれ対応する部分の動作と同様である。ORゲート61は、書き込みパルス P_w 、休止パルス P_r および維持パルス P_{sc} の論理和演算により放電制御タイミング信号 SCA を出力し、その放電制御タイミング信号 SCA をスキャンドライバ3のシフトレジスタ3bに与える。

【0182】垂直同期セットアップパルス作成回路62は、セットアップ期間に矩形波形の垂直同期セットアップパルス P_v を作成し、その垂直同期セットアップパルス P_v をANDゲート63を介してランプ波形作成回路66に与える。ランプ回路作成回路66は、矩形波形の垂直同期セットアップパルス P_v に基づいてランプ波形の垂直同期セットアップパルス VS を出力する。垂直同期セットアップパルス VS はスキャンドライバ3の出力回路3aに与えられる。

【0183】消去パルス作成回路67は、基本パルス P_L に同期して消去パルス P_{ea} を作成し、その消去パルス P_{ea} をANDゲート68を介して出力する。この

消去パルス P_{ea} は、スキャンドライバ3のシフトレジスタ3cに与えられる。

【0184】出力回路3aは、セットアップ期間に垂直同期セットアップパルス VS を複数のスキャン電極12に同時に印加した後、複数のスキャン電極12に放電制御タイミング信号 SCA および消去パルス P_{ea} を順に印加する。

【0185】図17は本発明の第3の実施例によるプラズマディスプレイ装置の構成を示すブロック図である。

【0186】図17のプラズマディスプレイ装置においては、図1のPDP1の代わりにPDP1Bが設けられ、図1のスキャンドライバ3の代わりにスキャンドライバ3Bが設けられ、図1の放電制御タイミング発生回路5の代わりに放電制御タイミング発生回路5Bが設けられ、サステインドライバ4の代わりに2つのサステインドライバ41, 42が設けられている。

【0187】放電制御タイミング発生回路5Bは、水平同期信号 H および垂直同期信号 V を基準として放電制御タイミング信号 SC , $SU1$, $SU2$ を発生し、放電制御タイミング信号 SC をスキャンドライバ3Bに与え、放電制御タイミング信号 $SU1$, $SU2$ をサステインドライバ41, 42にそれぞれ与える。また、放電制御タイミング発生回路5Bは、垂直同期セットアップパルス $VS1$, $VS2$ を発生し、スキャンドライバ3Bに与える。図17のプラズマディスプレイ装置の他の部分の構成は図1のプラズマディスプレイ装置の構成と同様である。

【0188】図18は図17のプラズマディスプレイ装置の主としてPDP1Bの構成を示すブロック図である。

【0189】図18において、PDP1Bは、複数のアドレス電極11、2k本のスキャン電極12および2k本のサステイン電極13を含む。スキャンドライバ3Bは2つの出力回路3a1, 3a2およびシフトレジスタ3bを含み、2つのサステインドライバ41, 42はそれぞれ出力回路を含む。

【0190】第1ラインから第kラインまでのスキャン電極12は出力回路3a1に接続され、第(k+1)ラインから第2kラインまでのスキャン電極12は出力回路3a2に接続されている。また、第1ラインから第kラインまでのサステイン電極13はサステインドライバ41に共通に接続され、第(k+1)ラインから第2kラインまでのサステイン電極13はサステインドライバ42に共通に接続されている。

【0191】スキャンドライバ3Bのシフトレジスタ3bは、図17の放電制御タイミング発生回路5Bから与えられる放電制御タイミング信号 SC を垂直走査方向にシフトしつつ出力回路3a1, 3a2に与える。出力回路3a1, 3a2は、シフトレジスタ3bから与えられる放電制御タイミング信号 SC にตอบสนองして複数のスキャ

ン電極12を順に駆動する。また、出力回路3a1は、図17の放電制御タイミング発生回路5Bから与えられる垂直同期セットアップパルスVS1をk本のスキャン電極12に同時に印加する。さらに、出力回路3a2は、図17の放電制御タイミング発生回路5Bから与えられる垂直同期セットアップパルスVS2をk本のスキャン電極12に同時に印加する。

【0192】サステインドライバ41は、図17の放電制御タイミング発生回路5Bから与えられる放電制御タイミング信号SU1にตอบสนองしてk本のサステイン電極13を駆動する。サステインドライバ42は、図17の放電制御タイミング発生回路5Bから与えられる放電制御タイミング信号SU2にตอบสนองしてk本のサステイン電極13を駆動する。

【0193】図19は図17のプラズマディスプレイ装置に用いられるアドレス・サステイン同時駆動方式を説明するための図である。図19の縦軸は第1ラインから第2kラインまでのスキャン電極の走査方向（垂直走査方向）を示し、横軸は時間を示す。

【0194】本実施例では、1垂直走査期間ごとに設定された第1のセットアップ期間にセットアップパルスVS1が発生する。また、第1のセットアップ期間に対して1/2垂直走査期間遅延しかつ1垂直走査期間ごとに設定された第2のセットアップ期間に垂直同期セットアップパルスVS2が発生する。第1のセットアップ期間は、第1ラインのスキャン電極12の最初のサブフィールドSF1の前に設定される。第2のセットアップ期間は、第(k+1)ラインのスキャン電極12の最初のサブフィールドSF1の前に設定される。

【0195】垂直同期セットアップパルスVS1は、第1ラインから第kラインまでのスキャン電極12に同時に印加される。垂直同期セットアップパルスVS2は、第k+1ラインから第2kまでのスキャン電極12に同時に印加される。

【0196】このように、本実施例のプラズマディスプレイ装置では、PDP1Bの複数のスキャン電極12が2つのブロック（グループ）に分割され、各ブロックごとにそれぞれ第1および第2のセットアップ期間に垂直同期セットアップパルスVS1、VS2が印加される。

【0197】それにより、定常的にアドレス電極11側に正の壁電荷が蓄積されるので、アドレス放電時にアドレス電極11とスキャン電極12との間にかかる実効電圧が高くなる。したがって、放電開始電圧に対する実効電圧のマージンが高くなり、アドレス放電の安定化が図られるとともに、PDP1Bの放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、アドレス電極11の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0198】図20は本実施例の第4の実施例によるプ

ラズマディスプレイ装置の構成を示すブロック図である。

【0199】図20のプラズマディスプレイ装置においては、図1のPDP1の代わりにPDP1Cが設けられ、図1のアドレスドライバ2の代わりに2つのアドレスドライバ21、22が設けられ、スキャンドライバ3の代わりに2つのスキャンドライバ31、32が設けられ、サステインドライバ4の代わりに2つのサステインドライバ41、42が設けられている。また、図1の放電制御タイミング発生回路5の代わりに放電制御タイミング発生回路5Cが設けられている。

【0200】放電制御タイミング発生回路5Cは、水平同期信号Hおよび垂直同期信号Vを基準として放電制御タイミング信号SC1、SC2、SU1、SU2を発生し、放電制御タイミング信号SC1、SC2をスキャンドライバ31、32にそれぞれ与え、放電制御タイミング信号SU1、SU2をサステインドライバ41、42にそれぞれ与える。また、放電制御タイミング発生回路5Cは、垂直同期セットアップパルスVS1、VS2を発生し、スキャンドライバ31、32にそれぞれ与える。図20のプラズマディスプレイ装置の他の部分の構成は図1のプラズマディスプレイ装置の構成と同様である。

【0201】図21は図20のプラズマディスプレイ装置の主としてPDP1Cの構成を示すブロック図である。

【0202】図21に示すように、PDP1Cは、複数のアドレス電極11、2k本のスキャン電極12および2k本のサステイン電極13を含む。各アドレス電極11は上部および下部に2分割されている。上部のアドレス電極11はアドレスドライバ21に接続され、下部のアドレス電極11はアドレスドライバ22に接続されている。

【0203】スキャンドライバ31は出力回路31aおよびシフトレジスタ31bを含む。また、スキャンドライバ32は出力回路32aおよびシフトレジスタ32bを含む。第1ラインから第kラインまでのスキャン電極12は出力回路31aに接続され、第(k+1)ラインから第2kラインまでのスキャン電極12は出力回路32aに接続されている。第1ラインから第kラインまでのサステイン電極13はサステインドライバ41に共通に接続され、第(k+1)ラインから第2kラインまでのサステイン電極13はサステインドライバ42に共通に接続されている。

【0204】スキャンドライバ31のシフトレジスタ31bは、図20の放電制御タイミング発生回路5Cから与えられる放電制御タイミング信号SC1を垂直走査方向にシフトしつつ出力回路31aに与える。また、スキャンドライバ32のシフトレジスタ32bは、図20の放電制御タイミング発生回路5Cから与えられる放電制

御タイミング信号SC2を垂直走査方向にシフトしつつ出力回路32aに与える。出力回路31aは、シフトレジスタ31bから与えられる放電制御タイミング信号SC1にตอบสนองしてk本のスキャン電極12を順に駆動し、図20の放電制御タイミング発生回路5Cから与えられる垂直同期セットアップパルスVS1をk本のスキャン電極12に同時に印加する。また、出力回路32aは、シフトレジスタ32bから与えられる放電制御タイミング信号SC2にตอบสนองしてk本のスキャン電極12を順に駆動し、図20の放電制御タイミング発生回路5Cから与えられる垂直同期セットアップパルスVS2をk本のスキャン電極12に同時に印加する。

【0205】サステインドライバ41は、図20の放電制御タイミング発生回路5Cから与えられる放電制御タイミング信号SU1にตอบสนองしてk本のサステイン電極13を駆動し、サステインドライバ42は、図20の放電制御タイミング発生回路5Cから与えられる放電制御タイミング信号SU2にตอบสนองしてk本のスキャン電極13を駆動する。

【0206】このように、本実施例のプラズマディスプレイ装置では、PDP1Cが上部のブロック（グループ）および下部のブロック（グループ）に2分割され、各ブロックごとに表示のための走査が行われるとともに、各ブロックごとに垂直同期セットアップパルスVS1、VS2がそれぞれ印加される。

【0207】それにより、定期的にアドレス電極11側に正の壁電荷が蓄積されるので、アドレス放電時にアドレス電極11とスキャン電極12との間にかかる実効電圧が高くなる。したがって、放電開始電圧に対する実効電圧のマージンが高くなり、アドレス放電の安定化が図られるとともに、PDP1Cの放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、アドレス電極11の駆動電圧を低減することが可能となる。その結果、高精細表示が可能になるとともに、省電力化および低価格化を図ることができる。

【0208】なお、上記第3および第4の実施例では、複数のスキャン電極12を2つのブロックに分割し、各ブロックごとにセットアップ期間を設け、各ブロックに属する複数本のスキャン電極12に同時に垂直同期セットアップパルスを印加しているが、各スキャン電極12ごとにセットアップ期間を設け、各スキャン電極12ごとに垂直同期セットアップパルスを印加してもよい。

【0209】図22は本発明の第5の実施例によるプラズマディスプレイ装置の構成を示すブロック図である。本実施例のプラズマディスプレイ装置では、アドレス・表示期間分離方式が用いられる。

【0210】図22のプラズマディスプレイ装置においては、図1のPDP1の代わりにPDP1Dが設けられ、図1のスキャンドライバ3の代わりに4つのスキャ

ンドライバ35～38が設けられ、図1の放電制御タイミング発生回路5の代わりに放電制御タイミング発生回路5Dが設けられ、図1のサステインドライバ4の代わりに4つのサステインドライバ45～48が設けられている。

【0211】放電制御タイミング発生回路5Dは、水平同期信号Hおよび垂直同期信号Vを基準として、書き込みパルスPw、維持パルスPscおよび消去パルスPe、Peaを含む放電制御タイミング信号SC1～SC4と維持パルスPsuを含む放電制御タイミング信号SU1～SU4を発生し、放電制御タイミング信号SC1～SC4をスキャンドライバ35～38にそれぞれ与え、放電制御タイミング信号SU1～SU4をサステインドライバ45～48にそれぞれ与える。また、放電制御タイミング発生回路5Dは、各サブフィールドの最初に印加されるセットアップパルスVS1～VS4を発生し、スキャンドライバ35～38にそれぞれ与える。図22のプラズマディスプレイ装置の他の部分の構成は、アドレス・表示期間分離方式が用いられる点を除き、図1のプラズマディスプレイ装置の構成と同様である。

【0212】図23は図22のプラズマディスプレイ装置の主としてPDP1Dの構成を示すブロック図である。

【0213】図23において、PDP1Dは、複数のアドレス電極11、4L本（Lは任意の正数）のスキャン電極12および4L本のサステイン電極13を含む。第1ラインから第Lラインまでのスキャン電極12はスキャンドライバ35に接続され、第（L+1）ラインから第2Lラインまでのスキャン電極12はスキャンドライバ36に接続され、第（2L+1）ラインから第3Lラインまでのスキャン電極12はスキャンドライバ37に接続され、第（3L+1）ラインから第4Lラインまでのスキャン電極12はスキャンドライバ38に接続されている。

【0214】また、第1ラインから第Lラインまでのサステイン電極13はサステインドライバ45に共通に接続され、第（L+1）ラインから第2Lラインまでのサステイン電極13はサステインドライバ46に共通に接続され、第（2L+1）ラインから第3Lラインまでのサステイン電極13はサステインドライバ47に共通に接続され、第（3L+1）ラインから第4Lラインまでのサステイン電極13はサステインドライバ48に共通に接続されている。

【0215】スキャンドライバ35は、図22の放電制御タイミング発生回路5Dから与えられる放電制御タイミング信号SC1のうち書き込みパルスPwのみを垂直走査方向にシフトしつつ他の維持パルスPscおよび消去パルスPe、PeaとセットアップパルスVS1とをL本のスキャン電極12に同時に印加する。スキャンドライバ36は、図22の放電制御タイミング発生回路5

Dから与えられる放電制御タイミング信号SC2のうち書き込みパルスPwのみを垂直走査方向にシフトしつつ他の維持パルスPscおよび消去パルスPe、PeaとセットアップパルスVS2とをL本のスキャン電極12に同時に印加する。スキヤンドライバ37は、図22の放電制御タイミング発生回路5Dから与えられる放電制御タイミング信号SC3のうち書き込みパルスPwのみを垂直走査方向にシフトしつつ他の維持パルスPscおよび消去パルスPe、PeaとセットアップパルスVS3とをL本のスキャン電極12に同時に印加する。スキヤンドライバ38は、図22の放電制御タイミング発生回路5Dから与えられる放電制御タイミング信号SC4のうち書き込みパルスPwのみを垂直走査方向にシフトしつつ他の維持パルスPscおよび消去パルスPe、PeaとセットアップパルスVS4とをL本のスキャン電極12に同時に印加する。

【0216】サステインドライバ45は、図22の放電制御タイミング発生回路5Dから与えられる放電制御タイミング信号SU1にตอบสนองしてL本のサステイン電極13を同時に駆動する。サステインドライバ46は、図22の放電制御タイミング発生回路5Dから与えられる放電制御タイミング信号SU2にตอบสนองしてL本のサステイン電極13を同時に駆動する。サステインドライバ47は、図22の放電制御タイミング発生回路5Dから与えられる放電制御タイミング信号SU3にตอบสนองしてL本のサステイン電極13を同時に駆動する。サステインドライバ48は、図22の放電制御タイミング発生回路5Dから与えられる放電制御タイミング信号SU4にตอบสนองしてL本のサステイン電極13を同時に駆動する。

【0217】図24は図22のプラズマディスプレイ装置に用いられるアドレス・表示期間分離方式を説明するための図である。図24の縦軸は第1ラインから第4Lラインまでのスキャン電極の走査方向（垂直走査方向）を示し、横軸は時間を示す。

【0218】本実施例では、PDP1Dが4分割され、4分割された各ブロック（グループ）ごとに放電タイミングが制御され、各ブロックごとに1フィールド（1/60秒=16.67ms）を複数のサブフィールド、例えば、8つのサブフィールドに分割する。また、各サブフィールドは、セットアップ期間STと、点灯セル選択のためのアドレス放電が行なわれるアドレス期間ADと、表示のための維持放電が行なわれる維持期間（発光期間）SUSとに分離される。なお、各期間においてアドレス電極11、スキャン電極12およびサステイン電極13に印加される各駆動電圧の波形は、アドレス・表示期間分離方式が用いられる点を除き、図5、図8、図12および図13と同様である。

【0219】上記のように4分割された各ブロックに対して各サブフィールドごとに設定されたセットアップ期間STにセットアップパルスVS1～VS4がそれぞれ

印加される。すなわち、第1のブロックの第1のサブフィールドSF1のセットアップ期間STにおいて第1ラインから第Lラインまでのスキャン電極12に同時にセットアップパルスVS1が印加され、第1のブロックの第1のサブフィールドSF1のセットアップ期間STが終了した後、第2のブロックの第1のサブフィールドSF1のセットアップ期間STにおいて第L+1ラインから第2Lラインまでのスキャン電極12に同時にセットアップパルスVS2が印加され、同様に、第3および第4のブロックの第1のサブフィールドSF1のセットアップ期間STにおいてスキャン電極12に同時にセットアップパルスVS3、VS4がそれぞれ印加され、以降同様に、各サブフィールドにおいてセットアップパルスVS1～VS4が各ブロックごとにそれぞれ印加される。

【0220】このように、本実施例のプラズマディスプレイ装置では、PDP1Dの複数のスキャン電極12が4つのブロック（グループ）に分割され、各ブロックごとにセットアップ期間STにおいてセットアップパルスVS1～VS4がそれぞれ印加される。

【0221】それにより、定期的にアドレス電極11側に正の壁電荷が蓄積されるので、アドレス放電時にアドレス電極11とスキャン電極12との間にかかる実効電圧が高くなる。したがって、放電開始電圧に対する実効電圧のマージンが高くなり、アドレス放電の安定化が図られるとともに、PDP1Dの放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、アドレス電極11の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【0222】なお、上記第5の実施例では、複数のスキャン電極12を4つのブロックに分割したが、この例に特に限定されず、他の分割数であってもよい。また、各サブフィールドごとにセットアップ期間を設けたが、複数のサブフィールドのうちのいずれかのサブフィールドにセットアップ期間を設定してもよく、また、垂直走査期間の整数倍の時間間隔でセットアップ期間を設定してもよく、この場合、セットアップ期間のないサブフィールドにおいて垂直セットアップパルスと同様の機能を有する疑似セットアップパルスを印加する疑似セットアップ期間を設けてもよい。

【0223】上記第1～第5の実施例では、スキヤンドライバ3、3A、3B、31、32、35～38、アドレスドライバ2、21、22、サステインドライバ4、41、42、45～48および放電制御タイミング発生回路5、5A、5B、5C、5Dが電圧印加手段に相当する。スキヤンドライバ3、3A、3B、31、32、35～38および放電制御タイミング発生回路5、5A、5B、5C、5Dが第1の電圧印加手段に相当し、アドレスドライバ2、21、22が第2の電圧印加手段

に相当し、サステインドライバ4、41、42、45～48および放電制御タイミング発生回路5、5A、5B、5C、5Dが第3の電圧印加手段に相当する。また、サブフィールド変換部8がサブフィールド分割手段に相当する。さらに、スキャン電極13が第1の電極に相当し、アドレス電極11が第2の電極に相当し、サステイン電極13が第3の電極に相当する。

【0224】

【発明の効果】本発明に係る表示装置およびその駆動方法によれば、セットアップ期間に複数の第2の電極側に第1の極性の壁電荷が蓄積されるので、アドレス期間に第1の電極と第2の電極との間に印加される実効電圧が高くなる。それにより、放電開始電圧に対する実効電圧のマージンが高くなる。その結果、アドレス放電の安定化が図られるとともに、放電セルの特性のばらつきが吸収される。また、放電開始電圧に対する実効電圧のマージンが高くなるので、第2の電極の駆動電圧を低減することが可能となる。その結果、省電力化および低価格化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるプラズマディスプレイ装置の構成を示すブロック図

【図2】図1のプラズマディスプレイ装置の主としてPDPの構成を示すブロック図

【図3】図2のPDPの各電極に印加される駆動電圧を示すタイミングチャート

【図4】図1のプラズマディスプレイ装置に用いられるアドレス・サステイン同時駆動方式を説明するための図

【図5】図1のプラズマディスプレイ装置におけるセットアップ期間、アドレス期間および維持期間のアドレス電極、サステイン電極およびスキャン電極の駆動電圧を示す波形図

【図6】図1の放電制御タイミング発生回路の主要部の構成を示すブロック図

【図7】図6の放電制御タイミング発生回路により発生される各種パルスおよび放電制御タイミング信号の波形図

【図8】図1のプラズマディスプレイ装置における主としてアドレス期間、維持期間および休止期間のアドレス電極、サステイン電極およびスキャン電極の駆動電圧を示す波形図

【図9】図8に示したアドレス期間および維持期間における放電セルの状態の変化を説明するための図

【図10】本発明の第2の実施例によるプラズマディスプレイ装置の構成を示すブロック図

【図11】図10のプラズマディスプレイ装置の主としてPDPの構成を示すブロック図

【図12】図10のプラズマディスプレイ装置におけるセットアップ期間、アドレス期間および維持期間のアドレス電極、サステイン電極およびスキャン電極の駆動電

圧を示す波形図

【図13】図10のプラズマディスプレイ装置における主としてアドレス期間、維持期間および休止期間のアドレス電極、サステイン電極およびスキャン電極の駆動電圧を示す波形図

【図14】図13に示した休止期間における放電セルの状態の変化を説明するための図

【図15】図10の放電制御タイミング発生回路の主要部の構成を示すブロック図

【図16】図15の放電制御タイミング発生回路により発生される各種パルスおよび放電制御タイミング信号の波形図

【図17】本発明の第3の実施例によるプラズマディスプレイ装置の構成を示すブロック図

【図18】図17のプラズマディスプレイ装置における主としてPDPの構成を示すブロック図

【図19】図17のプラズマディスプレイ装置に用いられるアドレス・サステイン同時駆動方式を説明するための図

【図20】本発明の第4の実施例によるプラズマディスプレイ装置の構成を示すブロック図

【図21】図20のプラズマディスプレイ装置における主としてPDPの構成を示すブロック図

【図22】本発明の第5の実施例によるプラズマディスプレイ装置の構成を示すブロック図

【図23】図22のプラズマディスプレイ装置における主としてPDPの構成を示すブロック図

【図24】図22のプラズマディスプレイ装置に用いられるアドレス・表示期間分離方式を説明するための図

【図25】AC型PDPにおける放電セルの駆動方法を説明するための図

【図26】従来のプラズマディスプレイ装置の主としてPDPの構成を示す模式図

【図27】AC型PDPにおける三電極面放電セルの模式的断面図

【図28】ADS方式を説明するための図

【図29】アドレス・サステイン同時駆動方式を説明するための図

【図30】従来のアドレス・サステイン同時駆動方式による各電極の駆動電圧を示すタイミングチャート

【符号の説明】

1、1A、1B、1C、1D PDP

2、21、22 アドレスドライバ

3、3A、3B、31、32、35～38 スキャンドライバ

4、41、42、45～48 サステインドライバ

5、5A、5B、5C、5D 放電制御タイミング発生回路

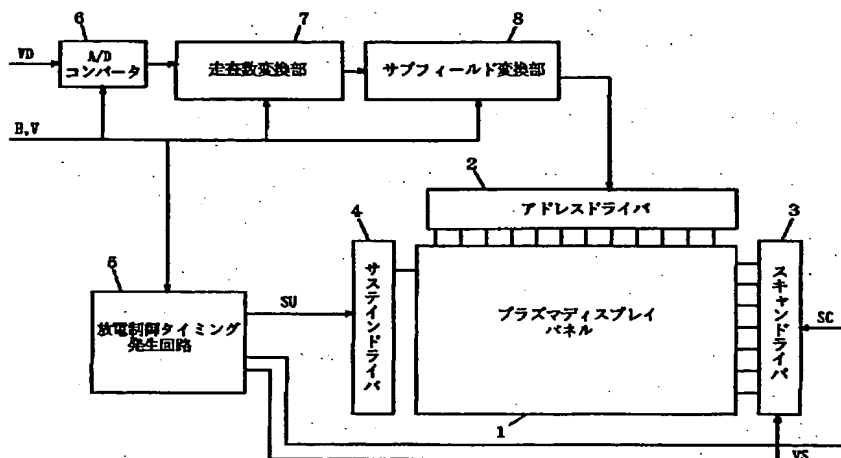
11 アドレス電極

12 スキャン電極

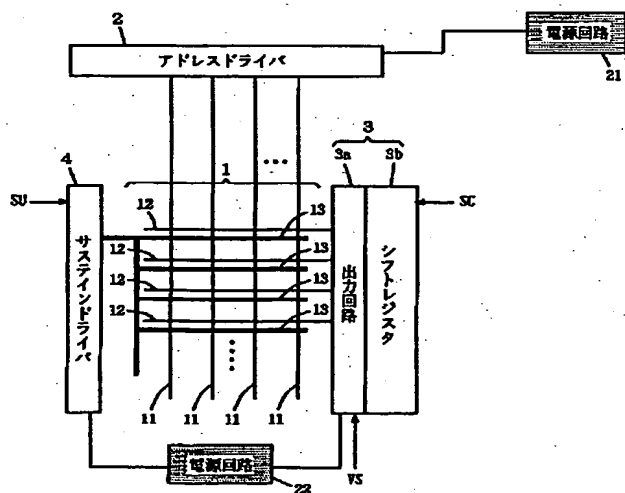
13 サステイン電極
Pw 書き込みパルス
Pe, Pea 消去パルス
Pr 休止パルス

Psc 維持パルス
Psu サステインパルス
SC, SCA, SC1~SC4, SU, SU1~SU4
放電制御タイミング信号

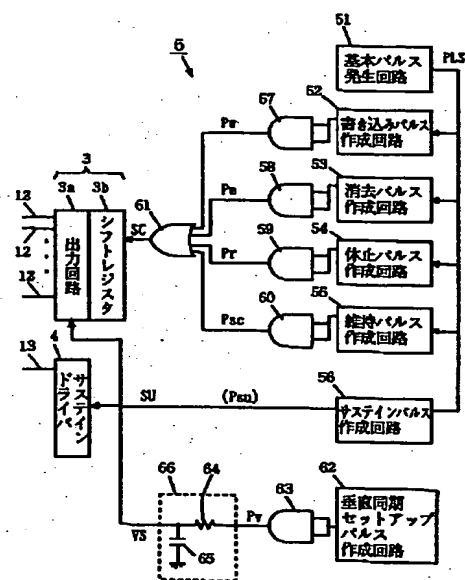
【図1】



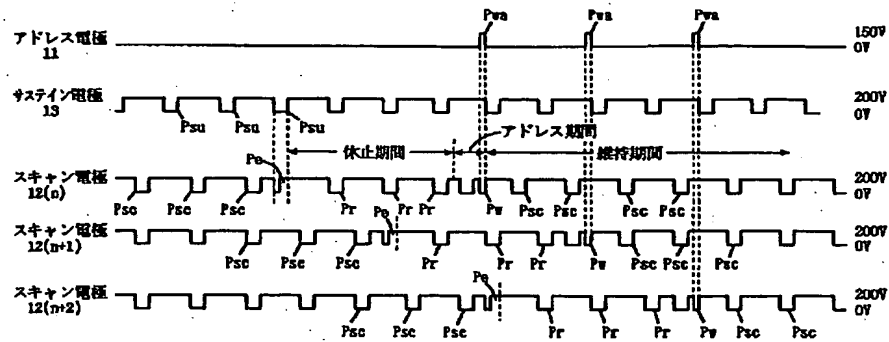
【図2】



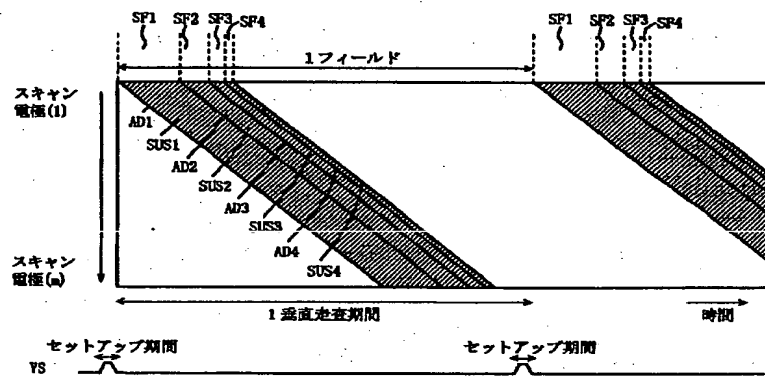
【図6】



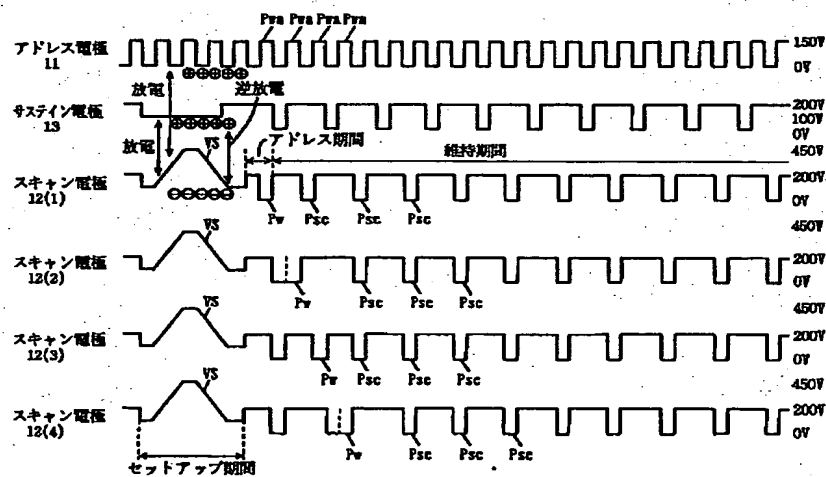
【图 3】



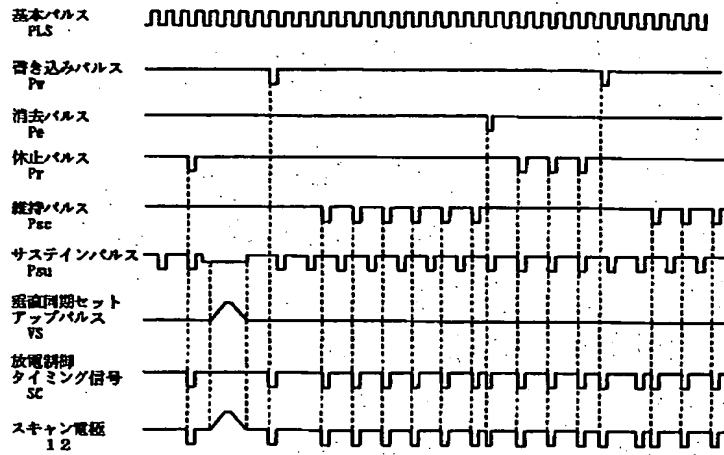
【図4】



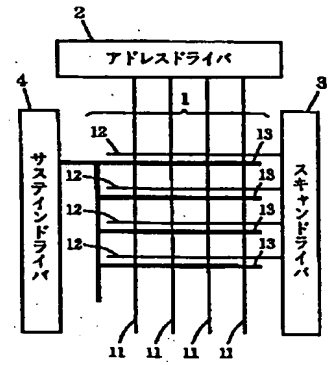
【図5】



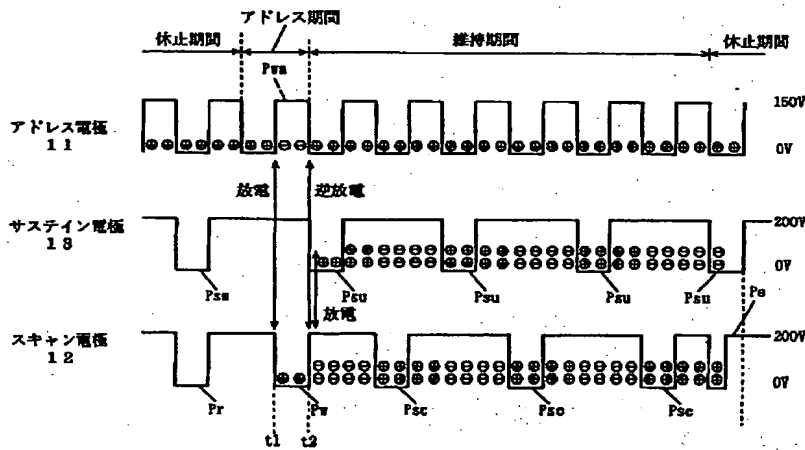
【図 7】



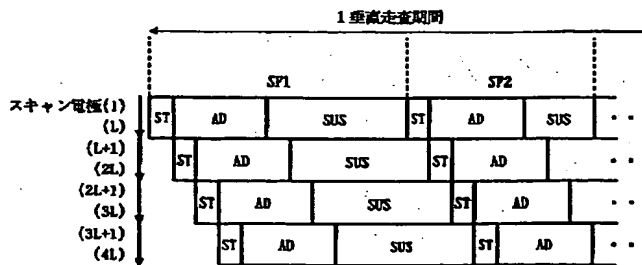
【図 26】



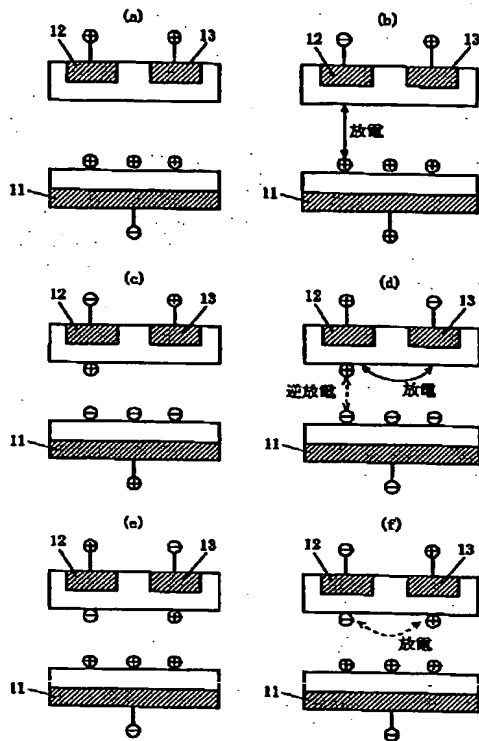
【図 8】



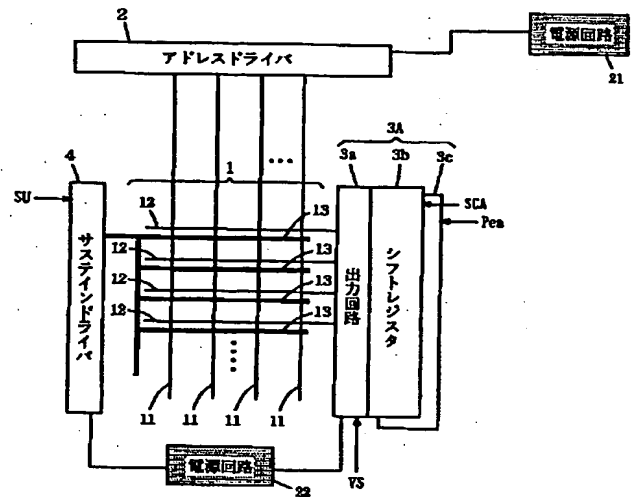
【図 24】



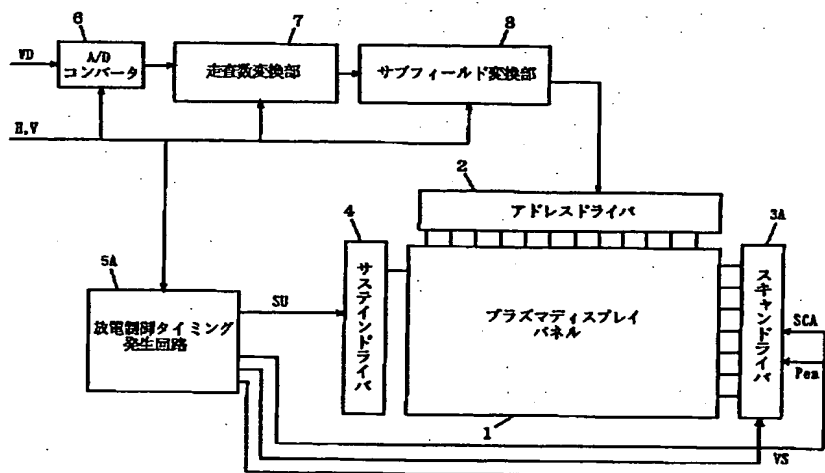
【図9】



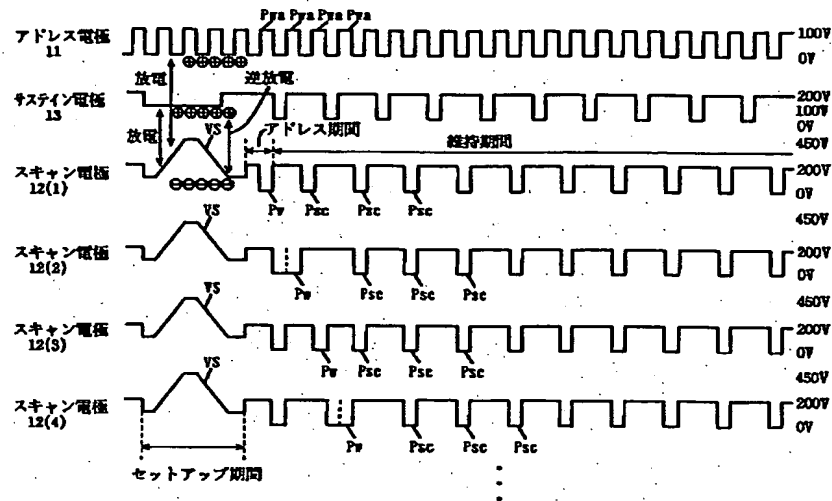
【図11】



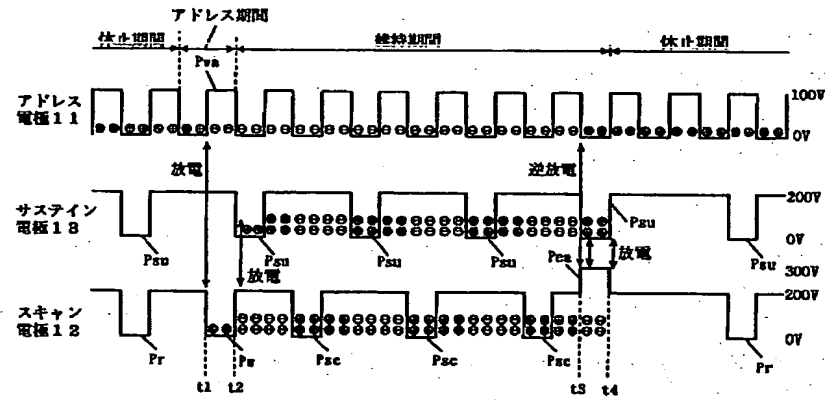
【図10】



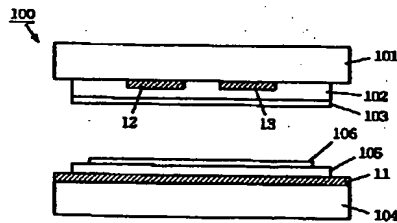
【図12】



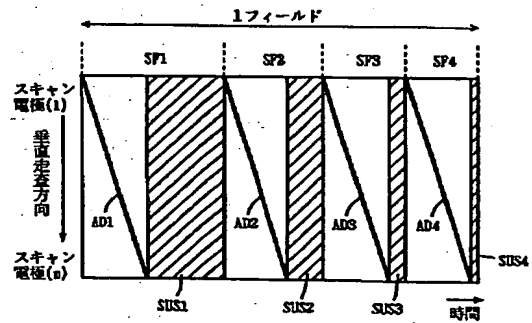
【図13】



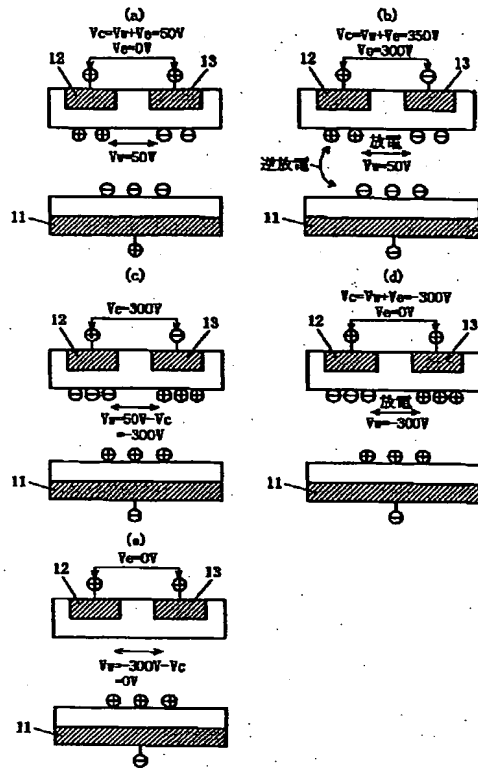
【図27】



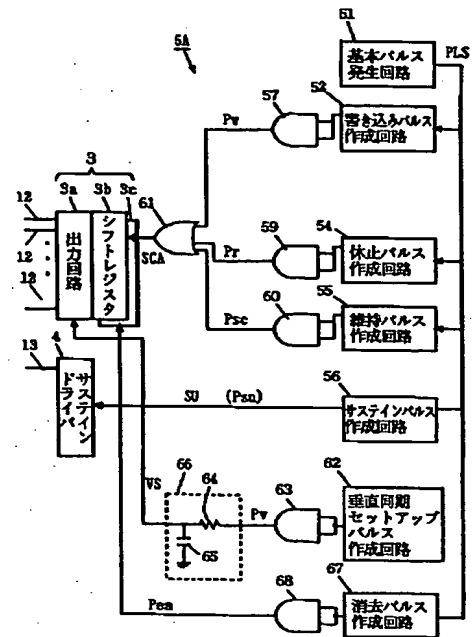
【図28】



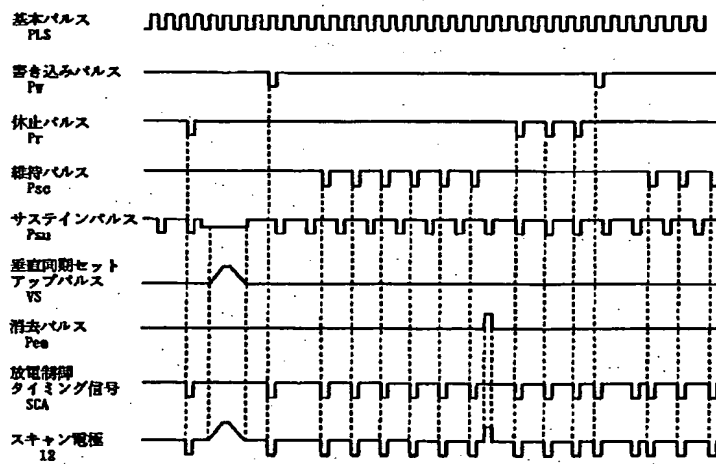
【図14】



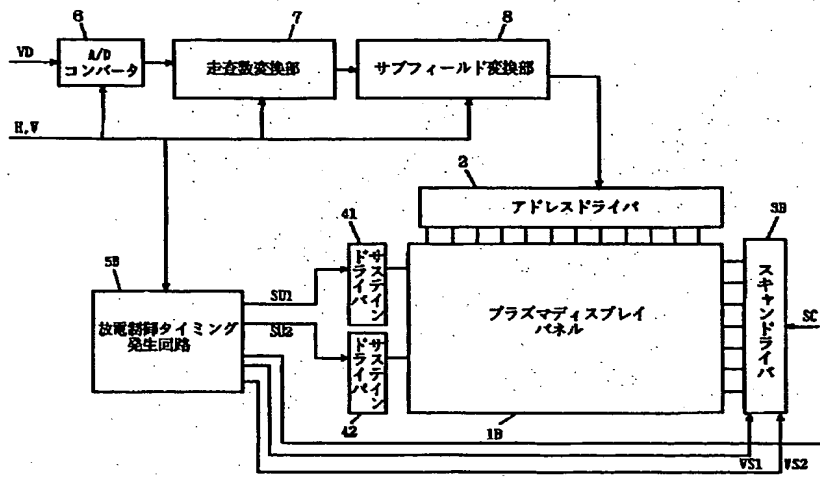
【図15】



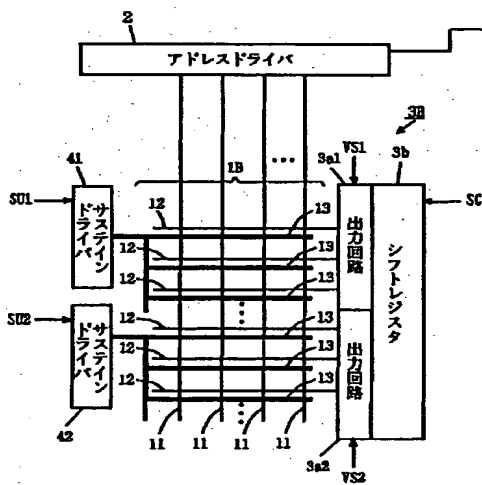
【図16】



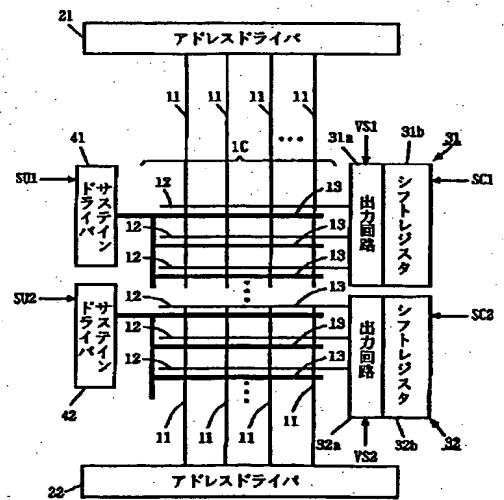
【図17】



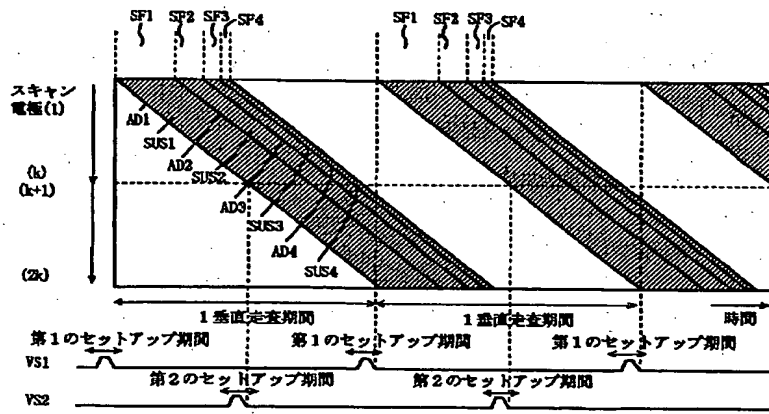
【図18】



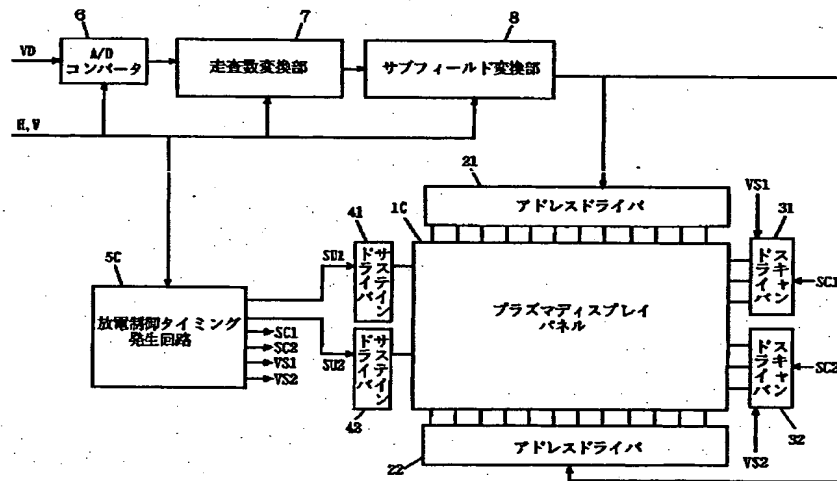
【図21】



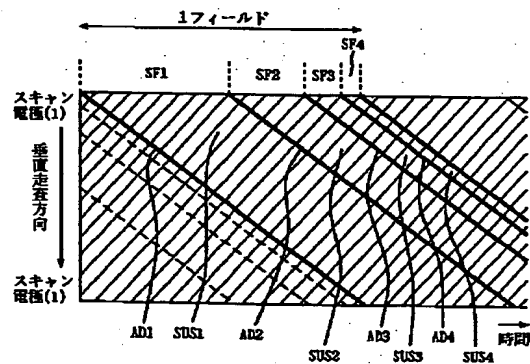
【図19】



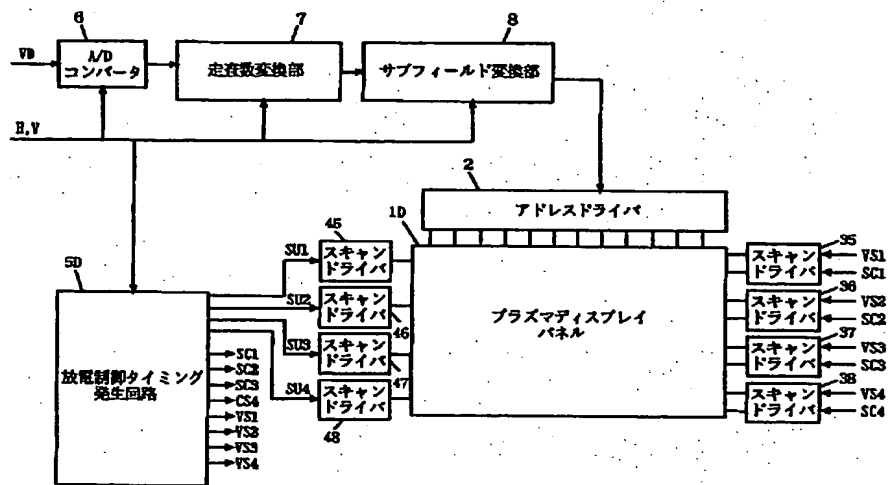
【図20】



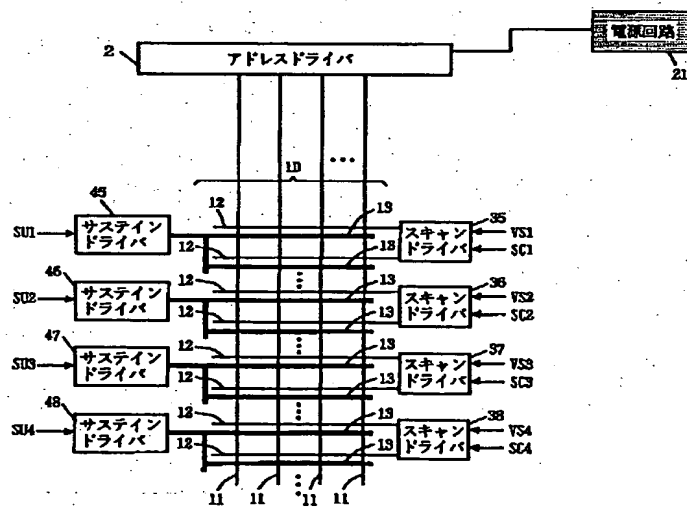
【図29】



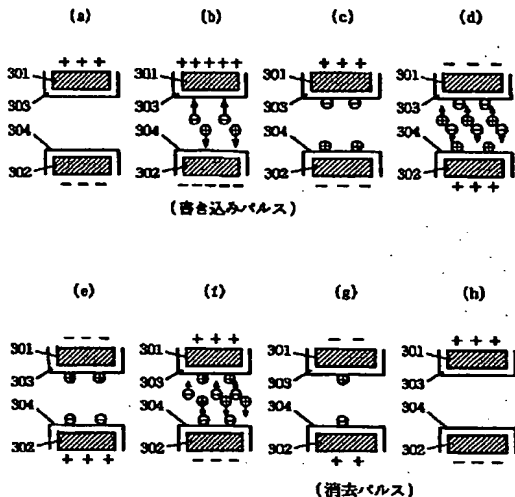
【図 2 2】



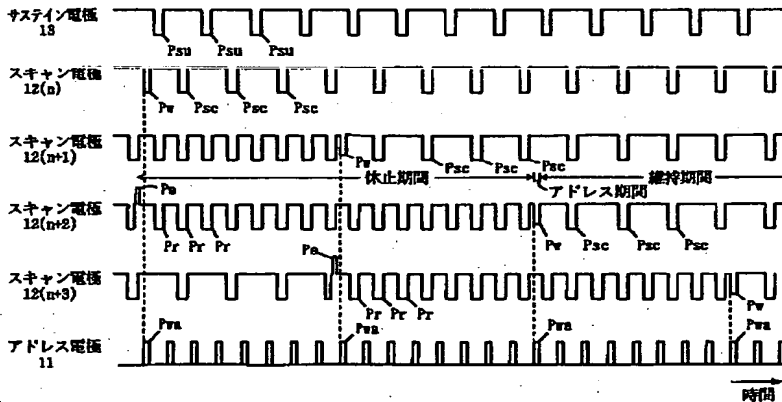
【図 2 3】



【例 25】



【☒ 30】



フロントページの続き

(72)発明者 木子 茂雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 庄司 秀彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 大平 一雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内